

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月16日
Date of Application:

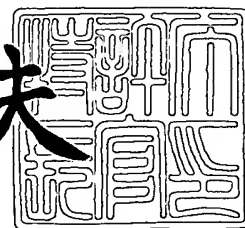
出願番号 特願2003-197808
Application Number:
[ST. 10/C]: [JP 2003-197808]

出願人 株式会社東芝
Applicant(s):

2003年 8月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 PTS0249

【提出日】 平成15年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 絶縁膜及び電子素子

【請求項の数】 19

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 研究開発センター内

 【氏名】 清水 達雄

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 研究開発センター内

 【氏名】 佐竹 秀喜

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100088487

 【弁理士】

 【氏名又は名称】 松山 允之

【選任した代理人】

 【識別番号】 100108062

 【弁理士】

 【氏名又は名称】 日向寺 雅彦

【先の出願に基づく優先権主張】

 【出願番号】 特願2002-285034

 【出願日】 平成14年 9月30日

【手数料の表示】

【予納台帳番号】 087469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0102774

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁膜及び電子素子

【特許請求の範囲】

【請求項 1】

第 1 のバンドギャップ及び第 1 の比誘電率を有する材料からなる第 1 の障壁層と、

前記第 1 の障壁層の上に設けられ、前記第 1 のバンドギャップよりも小さい第 2 のバンドギャップ及び前記第 1 の比誘電率よりも大きい第 2 の誘電率を有する材料からなる井戸層と、

前記井戸層の上に設けられ、前記第 2 のバンドギャップよりも大きい第 3 のバンドギャップ及び前記第 2 の比誘電率よりも小さい第 3 の比誘電率を有する材料からなる第 2 の障壁層と、

を備え、

前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする絶縁膜。

【請求項 2】

シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる第 1 の障壁層と、

前記第 1 の障壁層の上に設けられ、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが 10 オングストローム以下の井戸層と、

前記井戸層の上に設けられ、シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる第 2 の障壁層と、

を備えたことを特徴とする絶縁膜。

【請求項 3】

前記第 1 及び第 2 の障壁層の厚みは、2.5 オングストローム以上であり、

前記第 1 の障壁層の厚みを d_1 、比誘電率を ϵ_1 とし、前記第 2 の障壁層の厚みを d_2 、比誘電率を ϵ_2 とした時に、

$$2.5 > (d_1/\epsilon_1 + d_2/\epsilon_2)$$

なる条件が満足されることを特徴とする請求項 1 または 2 に記載の絶縁膜。

【請求項 4】

前記第 1 及び第 2 の障壁層の厚みは、3.5 オングストローム以上であることを特徴とする請求項 3 記載の絶縁膜。

【請求項 5】

バンドギャップが第 1 の値よりも大きく、比誘電率が第 2 の値よりも小さい材料からなる n (n は 3 以上の整数である) 層の障壁層と、

バンドギャップが前記第 1 の値よりも小さく、比誘電率が前記第 2 の値よりも大きい材料からなる $(n-1)$ 層の井戸層と、

を備え、

前記障壁層と前記井戸層とが交互に積層してなり、前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする絶縁膜。

【請求項 6】

シリコンに対して伝導帯が 0.5 エレクトロンボルト以上高く、価電子帯が 0.5 エレクトロンボルト以上低い材料からなる n (n は 3 以上の整数である) 層の障壁層と、

SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが 10 オングストローム以下の $(n-1)$ 層の井戸層と、

を備え、

前記障壁層と前記井戸層とが交互に積層してなる多重量子井戸型構造を有することを特徴とする絶縁膜。

【請求項 7】

前記 n 層の障壁層の厚みは、いずれも 2.5 オングストローム以上であり、 m 層目の前記障壁層の厚みを d_m 、比誘電率を ϵ_m とした時に、

$$2.5 > (d_1/\epsilon_1 + d_2/\epsilon_2 + \dots + d_n/\epsilon_n)$$

なる条件が満足されることを特徴とする請求項 5 または 6 に記載の絶縁膜。

【請求項 8】

前記 n 層の障壁層の厚みは、いずれも 3.5 オングストローム以上であること

を特徴とする請求項 7 記載の絶縁膜。

【請求項 9】

前記井戸層の厚みは、少なくとも一層が 5 オングストローム以下であることを特徴とする請求項

1 ～ 8 のいずれか 1 つに記載の絶縁膜。

【請求項 10】

前記障壁層は、シリコンに対して伝導帯が 1.0 エレクトロンボルト以上高く、価電子帯が 1.0 エレクトロンボルト以上低い材料からなることを特徴とする請求項 1 ～ 9 のいずれか 1 つに記載の絶縁膜。

【請求項 11】

第 1 の電極と、

前記第 1 の電極の上に設けられた請求項 1 ～ 10 のいずれか 1 つに記載の絶縁膜と、

前記絶縁膜の上に設けられた第 2 の電極と、

を備え、前記第 1 及び第 2 の電極の間でキャパシタとして動作することを特徴とする電子素子。

【請求項 12】

半導体層と、

前記半導体層の上に設けられた請求項 1 ～ 10 のいずれか 1 つに記載の絶縁膜と、

前記絶縁膜の上に設けられたゲート電極と、

を備え、

前記ゲート電極に電圧を印加することにより前記絶縁膜の下の前記半導体層の電界を制御可能としたことを特徴とする電子素子。

【請求項 13】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長されたペロブスカイト構造の誘電体薄膜であって、

前記ペロブスカイト構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面

内格子定数に対してプラスマイナス 1.5%以内であり、

前記ペロブスカイト構造を化学式 ABO_3 と表した時に、A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、

前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含み、且つ前記 B に占める Ti の割合は 50% 以下である誘電体薄膜と、
を備えたことを特徴とする電子素子。

【請求項 14】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長されたルドゥルスデン・ポッパー構造の誘電体薄膜であって、

前記ルドゥルスデン・ポッパー構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5% 以内であり、

前記ルドゥルスデン・ポッパー構造を化学式 $A_{n+1}B_nO_{3n+1}$ 、或いは、 $AO + nABO_3$ ($n = 1, 2, 3, \dots$) と表した時に、A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、

前記化学式における B は、Ti, Zr, Hf の少なくともいずれかを含み、
 $n = 1$ の場合は、前記 B に占める Ti の割合は 80% 以下であり、
 $n = 2$ の場合は、前記 B に占める Ti の割合は 70% 以下であり、
 $n = 3$ の場合は、前記 B に占める Ti の割合は 60% 以下であり、
 $n \geq 4$ の場合は、前記 B に占める Ti の割合は 50% 以下である誘電体薄膜と、

を備えたことを特徴とする電子素子。

【請求項 15】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長されたルドゥルスデン・ポッパー構造の誘電体薄膜であって、

前記ルドゥルスデン・ポッパー構造の面内格子定数の $2^{1/2}$ 倍が、前記半

導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、

前記ルドゥルスデン・ポッパー構造は、化学式 $A_2B_2O_4$ により表される層と化学式 $A_3B_2O_7$ により表される層とが交互に積層した構造であって、

前記化学式における A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10%以下であり、

前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含む誘電体薄膜と、

を備えたことを特徴とする電子素子。

【請求項 16】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長されたインフェーズ構造の誘電体薄膜であって、

前記インフェーズ構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、

前記インフェーズ構造を、化学式 $A_{n+2}B_nO_{3n+2}$ 、或いは、化学式 $2AO + nABO_3$ ($n=1, 2, 3, \dots$) と表した時に、前記化学式における A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10%以下であり、

前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含む誘電体薄膜と、

を備えたことを特徴とする電子素子。

【請求項 17】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長されたインフェーズ構造の誘電体薄膜であって、

前記インフェーズ構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、

前記インフェーズ構造は、化学式 A_3BO_5 により表される層と、化学式 $A_4B_2O_8$ により表される層が交互に積層した構造であって、

前記化学式におけるAは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、

前記組成式におけるBは、Ti, Zr, Hfの少なくともいずれかを含む誘電体薄膜と、

を備えたことを特徴とする電子素子。

【請求項18】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長された井戸層を有する誘電体薄膜であって、

前記誘電体薄膜の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス1.5%以内であり、

前記井戸層は、化学式AOにより表される岩塩構造の層と、化学式ABO₃により表されるペロブスカイト構造の層とを積層させた化学式mAOnABO₃ (mは3以上の整数、nは1以上の整数)により表され、

前記化学式におけるAは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、

前記組成式におけるBは、Ti, Zr, Hfの少なくともいずれかを含む誘電体薄膜と、

を備えたことを特徴とする電子素子。

【請求項19】

シリコンを主成分とする半導体層と、

前記半導体層の上に直接接合してエピタキシャル成長された井戸層を有する誘電体薄膜であって、

前記誘電体薄膜の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス1.5%以内であり、

前記井戸層は、化学式AOにより表される岩塩構造の層と、化学式ABO₃により表されるペロブスカイト構造の層とを含み、且つ、mAOnABO₃により表される層と、nAO+2ABO₃により表される層とが交互に積層した構造 (mは1以上の整数、nは1以上の整数) であり、

前記化学式におけるAは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、

前記組成式におけるBは、Ti, Zr, Hfの少なくともいずれかを含む誘電体薄膜と、

を備えたことを特徴とする電子素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁膜及び電子素子に関し、例えば、電界効果型トランジスタや金属・絶縁体・金属構造(MIM)キャパシタなどに用いて好適な絶縁膜及びこれを用いた電子素子に関する。さらに詳細には、本発明は、例えば、Si(シリコン)を主成分とする半導体基板と、その上に直接接合してエピタキシャル成長された層状ペロブスカイト物質を用いたゲート絶縁膜と、を有するMOS電界効果トランジスタなどの電子素子に関する。

【0002】

【従来の技術】

ULSI (ultra large scale integration) デバイスの微細化や低消費電力化のために、ゲート絶縁膜の薄膜化が要求されるようになってきている。従来、FET (Field Effect Transistor) のチャンネルに誘起される電荷量を確保するために、ゲート絶縁膜を薄膜化することによって容量を大きくする手法が採られてきた。その結果として、ゲート酸化膜であるSiO₂膜の薄膜化が推し進められ、現在は10オングストローム(1nm)を切る厚さにまで到達しようとしている。

【0003】

ここに至り、SiO₂膜では、ゲート漏れ電流が大きくなり、待機電力の散逸から消費電力が押さえられないところまで来ている。例えば、膜厚8オングストローム(0.8nm)のSiO₂膜でもMOSFETは正常動作するものの、ゲート漏れ電流が1kA/cm²にまで達しており、消費電力の面での問題が極めて大きなものとなっている。

【0004】

消費電力をいかに低下させるかという観点からは、膜厚を厚くすることが有効である。このため、誘電率の高い物質 (high-K dielectric) を用いることで、 SiO_2 膜よりも厚膜で電荷量を確保しようとする試みが活発に検討されている。しかし、誘電率が高い物質は、一般的にバンドギャップが小さくなる傾向がある。実際、 SrTiO_3 のような誘電率の高い物質を使ったゲート絶縁膜では伝導帯側のバンドオフセットが非常に小さくなってしまい、膜厚を相当に厚くしてもリークを十分に止めることが困難な状況にある。この点は高誘電率を有する他の物質、例えば $(\text{Ba}, \text{Sr}, \text{Ca})(\text{Ti}, \text{Zr})\text{O}_3$, $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, Ta_2O_5 , CeO_2 , TiO_2 , などでも同様である。

【0005】

すなわち、これらの物質では、シリコンに対するバンドオフセットが目標の 0.5 eV (理想としては 1.0 eV 以上) に比べて非常に小さく、場合によっては 0.1 eV 程度という物質もある。同様の問題は、MIMキャパシタにおいても発生している。例えば、 $\text{Pt}/\text{SrTiO}_3/\text{Pt}$ キャパシタでは、非常にリークが大きく、このままではリーク性能面から使えない状況にある。

【0006】

これに対して、絶縁性材料からなる複数の層を用いた積層型の絶縁膜が提案されている (例えば、特許文献 1、特許文献 2 及び非特許文献 1 参照)。

【0007】

しかし、高集積化のための微細化と低消費電力の要請に鑑みると、これら従来の積層型の絶縁膜、あるいは従来から知られている Rudulesden-Popper 型膜 ($\text{Sr}_{n+1}\text{Ti}_n\text{O}_{3n+1}$) では、いずれも、高い誘電率と低いリークとを十分に両立させるとはいえなかった。

【0008】

一方、 Si 上にペロブスカイト型物質を成膜する場合の最適化を行った物質に関する発明が提案されている (特許文献 3 参照)。

【0009】

【特許文献 1】

特開 2000-195856 号公報

【特許文献 2】

特開 2001-274393 号公報

【非特許文献 1】

Applied Physics Letters 78 p3292 (2001)

【特許文献 3】

特開 2002-100767 号公報

【0010】

【発明が解決しようとする課題】

しかし、上記の特許文献 3 に開示された技術においては、ゲート絶縁膜向けペロブスカイト型物質の最適範囲を見出そうとしている。また、電子障壁に関する考慮がなされておらず、さらに、Si 基板に「ひずみ」を導入した場合の最適範囲の移動に関しても考慮されていない。このため、本当の意味での最適化がなされているとは言えない。後に詳述するように、特徴とする特許文献 3 に開示された発明においては、最適範囲が適切に特定されておらず、本発明の範囲とは大きなずれがある。

【0011】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、新たな発想に基づいて、誘電率が高くかつリーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明の第 1 の絶縁膜は、第 1 のバンドギャップ及び第 1 の比誘電率を有する材料からなる第 1 の障壁層と、前記第 1 の障壁層の上に設けられ、前記第 1 のバンドギャップよりも小さい第 2 のバンドギャップ及び前記第 1 の比誘電率よりも大きい第 2 の誘電率を有する材料からなる井戸層と、前記井戸層の上に設けられ、前記第 2 のバンドギャップよりも大きい第 3 のバンドギャップ及び前記第 2 の比誘電率よりも小さい第 3 の比誘電率を有する材料か

らなる第2の障壁層と、を備え、

前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする。

【0013】

上記構成によれば、誘電率が高くかつリーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することができる。

【0014】

また、本発明の第2の絶縁膜は、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる第1の障壁層と、前記第1の障壁層の上に設けられ、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが10オングストローム以下の井戸層と、前記井戸層の上に設けられ、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる第2の障壁層と、を備えたことを特徴とする。

【0015】

上記構成によっても、誘電率が高くかつリーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することができる。

【0016】

ここで、前記第1及び第2の障壁層の厚みは、2.5オングストローム以上であり、前記第1の障壁層の厚みを d_1 、比誘電率を ϵ_1 とし、前記第2の障壁層の厚みを d_2 、比誘電率を ϵ_2 とした時に、 $2.5 > (d_1 / \epsilon_1 + d_2 / \epsilon_2)$ なる条件が満足されるものとすることができる。

【0017】

またここで、前記第1及び第2の障壁層の厚みは、3.5オングストローム以上であるものとすれば、エネルギーレベルのしみだしをより確実に抑制して量子効果を顕著に得ることができる。

【0018】

一方、本発明の第3の絶縁膜は、バンドギャップが第1の値よりも大きく、比誘電率が第2の値よりも小さい材料からなる n (n は3以上の整数である)層の

障壁層と、バンドギャップが前記第1の値よりも小さく、比誘電率が前記第2の値よりも大きい材料からなる $(n-1)$ 層の井戸層と、を備え、前記障壁層と前記井戸層とが交互に積層してなり、前記井戸層において量子効果による離散的な準位が形成されてなることを特徴とする。

【0019】

上記構成によっても、高い誘電率と低いリーク電流とを両立した絶縁膜を提供できる。

【0020】

また、本発明の第4の絶縁膜は、シリコンに対して伝導帯が0.5エレクトロンボルト以上高く、価電子帯が0.5エレクトロンボルト以上低い材料からなる n (n は3以上の整数である)層の障壁層と、 SiO_2 よりもバンドギャップが小さく且つ SiO_2 よりも比誘電率が大きな物質からなり厚みが10オングストローム以下の $(n-1)$ 層の井戸層と、を備え、前記障壁層と前記井戸層とが交互に積層してなる多重量子井戸型構造を有することを特徴とする。

【0021】

上記構成によっても、高い誘電率と低いリーク電流とを両立した絶縁膜を提供できる。

【0022】

ここで、前記 n 層の障壁層の厚みは、いずれも2.5オングストローム以上であり、 m 層目の前記障壁層の厚みを d_m 、比誘電率を ϵ_m とした時に、 $2.5 > (d_1/\epsilon_1 + d_2/\epsilon_2 + \dots + d_n/\epsilon_n)$ なる条件が満足されるものとすることができる。

【0023】

またここで、前記 n 層の障壁層の厚みは、いずれも3.5オングストローム以上であるものとすれば、エネルギーレベルのしみだしをより確実に抑制して量子効果を顕著に得ることができる。

【0024】

また、これら絶縁膜において、前記井戸層の厚みは、少なくとも一層が5オングストローム以下であるものとすれば、高い量子化レベルが得られ、広い動作電

圧範囲に亘ってリーク電流を低減できる。

【0025】

また、前記障壁層は、シリコンに対して伝導帯が1.0エレクトロンボルト以上高く、価電子帯が1.0エレクトロンボルト以上低い材料からなるものとすれば、より高い量子化レベルが得られ、エネルギーレベルのしみだしもより確実に抑制できるため、広い動作電圧範囲に亘ってリーク電流を低減できる。

【0026】

一方、本発明の第1の電子素子は、第1の電極と、前記第1の電極の上に設けられた上記のいずれかの絶縁膜と、前記絶縁膜の上に設けられた第2の電極と、を備え、前記第1及び第2の電極の間でキャパシタとして動作することを特徴とし、キャパシタンスが高く耐圧も良好なMIMなどのキャパシタを提供できる。

【0027】

また、本発明の第2の電子素子は、半導体層と、前記半導体層の上に設けられた上記のいずれかの絶縁膜と、前記絶縁膜の上に設けられたゲート電極と、を備え、前記ゲート電極に電圧を印加することにより前記絶縁膜の下の前記半導体層の電界を制御可能としたことを特徴とし、微細化が可能で低リーク、高耐圧のMOSFETなどの電子素子を提供できる。

【0028】

また、本発明の第3の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長されたペロブスカイト構造の誘電体薄膜であって、前記ペロブスカイト構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス1.5%以内であり、前記ペロブスカイト構造を化学式 ABO_3 と表した時に、Aは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、前記組成式におけるBは、Ti, Zr, Hfの少なくともいずれかを含み、且つ前記Bに占めるTiの割合は50%以下である誘電体薄膜と、を備えたことを特徴とする。

【0029】

また、本発明の第4の電子素子は、シリコンを主成分とする半導体層と、前記

半導体層の上に直接接合してエピタキシャル成長されたルドゥルスデン・ポッパ一構造の誘電体薄膜であって、前記ルドゥルスデン・ポッパ一構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、前記ルドゥルスデン・ポッパ一構造を化学式 $A_{n+1}B_nO_{3n+1}$ 、或いは、 $AO+nABO_3$ ($n=1, 2, 3, \dots$) と表した時に、Aは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、前記化学式におけるBは、Ti, Zr, Hfの少なくともいずれかを含み、 $n=1$ の場合は、前記Bに占めるTiの割合は80%以下であり、 $n=2$ の場合は、前記Bに占めるTiの割合は70%以下であり、

$n=3$ の場合は、前記Bに占めるTiの割合は60%以下であり、

$n \geq 4$ の場合は、前記Bに占めるTiの割合は50%以下である誘電体薄膜と、を備えたことを特徴とする。

【0030】

また、本発明の第5の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長されたルドゥルスデン・ポッパ一構造の誘電体薄膜であって、前記ルドゥルスデン・ポッパ一構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、前記ルドゥルスデン・ポッパ一構造は、化学式 A_2BO_4 により表される層と化学式 $A_3B_2O_7$ により表される層とが交互に積層した構造であって、前記化学式におけるAは、Ba, Sr, Ca, Mgの少なくともいずれかを含み、且つ前記Aに占めるMgの割合は10%以下であり、前記組成式におけるBは、Ti, Zr, Hfの少なくともいずれかを含む誘電体薄膜と、を備えたことを特徴とする。

【0031】

また、本発明の第6の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長されたインフェーズ構造の誘電体薄膜であって、前記インフェーズ構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5%以内であり、前記インフ

フェーズ構造を、化学式 $A_{n+2}B_nO_{3n+2}$ 、或いは、化学式 $2AO + nABO_3$ ($n=1, 2, 3, \dots$) と表した時に、前記化学式における A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含む誘電体薄膜と、を備えたことを特徴とする。

【0032】

また、本発明の第 7 の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長されたインフェーズ構造の誘電体薄膜であって、前記インフェーズ構造の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5% 以内であり、前記インフェーズ構造は、化学式 A_3BO_5 により表される層と、化学式 $A_4B_2O_8$ により表される層が交互に積層した構造であって、前記化学式における A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含む誘電体薄膜と、を備えたことを特徴とする。

【0033】

また、本発明の第 8 の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長された井戸層を有する誘電体薄膜であって、前記誘電体薄膜の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5% 以内であり、前記井戸層は、化学式 AO により表される岩塩構造の層と、化学式 ABO_3 により表されるペロブスカイト構造の層とを積層させた化学式 $mAO + nABO_3$ (m は 3 以上の整数、 n は 1 以上の整数) により表され、前記化学式における A は、Ba, Sr, Ca, Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、前記組成式における B は、Ti, Zr, Hf の少なくともいずれかを含む誘電体薄膜と、を備えたことを特徴とする。

【0034】

また、本発明の第 9 の電子素子は、シリコンを主成分とする半導体層と、前記半導体層の上に直接接合してエピタキシャル成長された井戸層を有する誘電体薄

膜であって、前記誘電体薄膜の面内格子定数の $2^{1/2}$ 倍が、前記半導体層の面内格子定数に対してプラスマイナス 1.5% 以内であり、前記井戸層は、化学式 AO により表される岩塩構造の層と、化学式 ABO_3 により表されるペロブスカイト構造の層とを含み、且つ、 $mAO + ABO_3$ により表される層と、 $nAO + 2ABO_3$ により表される層とが交互に積層した構造（ m は 1 以上の整数、 n は 1 以上の整数）であり、前記化学式における A は、 Ba 、 Sr 、 Ca 、 Mg の少なくともいずれかを含み、且つ前記 A に占める Mg の割合は 10% 以下であり、前記組成式における B は、 Ti 、 Zr 、 Hf の少なくともいずれかを含む誘電体薄膜と、を備えたことを特徴とする。

【0035】

ここで、本願明細書において「インフェーズ構造」とは、ペロブスカイト構造 ABO_3 と、2 層の岩塩構造 AO とを積層した構造を意味するものとする。

【0036】

【発明の実施の形態】

以下、図面を参照しつつ、本発明の実施の形態について詳細に説明する。

【0037】

図 1 は、本発明の実施の形態にかかる絶縁膜の断面構造を表す模式図である。

すなわち、本実施形態の絶縁膜 QI は、井戸層 W が障壁層 $B1$ 、 $B2$ により両側から挟まれた量子井戸型の構造を有する。

【0038】

井戸層 W は、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層 $B1$ 、 $B2$ は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0039】

図 2 は、図 1 の絶縁膜 QI におけるエネルギーバンドダイアグラムを表す模式図である。すなわち、同図に波線で表したように、井戸層 W にはそのサイズ効果による量子準位（量子化レベル）が形成され、離散的なエネルギーのみが許容される状態となる。

【0040】

以下、この絶縁膜Q Iを構成する各層について、さらに詳細に説明する。

【0041】

まず、井戸層Wは、 SiO_2 と比較してバンドギャップは小さいが、誘電率の大きい物質からなる。その代表的な物質としては、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{TiO}_3$ 、 $(\text{Ba}, \text{Sr}, \text{Ca})(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ 、 Ta_2O_5 、 CeO_2 、 HfO_2 、 HfO_2 の窒化物 HfON 、 ZrO_2 、 ZrO_2 の窒化物 ZrON 、 TiO_2 、 Hf -シリケート (silicate)、 Hf -シリケートの窒化物 HfSiON 、 Zr -シリケート、 Zr -シリケートの窒化物 ZrSiON 、 Ti -シリケート、その他の金属を用いたシリケートやその窒化物、 Y_2O_3 、 LaAlO_3 、 Ga_2O_3 、 La_2O_3 、 Al_2O_3 などが挙げられる。

【0042】

次に、障壁層B 1、B 2は、 Si (シリコン) よりもバンドギャップが大きな材料からなる。さらに、シリコンに対するバンドオフセットがn、pの両側で0.5 eV以上ある物質からなることが望ましい。すなわち、伝導帯はシリコンよりも0.5 eV以上高く、価電子帯はシリコンよりも0.5 eV以上低いような物質からなることが望ましい。また、伝導帯はシリコンよりも1.0 eV以上高く、価電子帯はシリコンよりも1.0 eV以上低いような物質からなるなら、更に望ましい。

【0043】

その代表的な物質としては、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiO_2 、 Si_3N_4 、 SiON 、 Al_2O_3 、 Hf -シリケート、 Hf -シリケートの窒化物、 Zr -シリケート、 Zr -シリケートの窒化物、 Ti -シリケート、 Ti -シリケートの窒化物、その他の金属を用いたシリケートやその窒化物、 MgAl_2O_4 、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{F}$ 、などが挙げられる。

【0044】

ここでシリケートは、井戸層Wの物質としても、障壁層B 1、B 2の物質としても候補として挙げられているが、それは内包する金属の量により、井戸部分に適しているか、障壁部分に適しているかが変わってくるためである。また Al_2O

3では、組み合わせによっては、井戸部分にもなるし、障壁部分にもなるということの意味する。組み合わせによって、障壁部分の代表と考えられる物質が井戸部分に、逆に井戸部分の代表として考えられる物質が障壁部分に適応することもありうることを意味している。例えば、 SrO を井戸部分に、 SiO_2 を障壁部分に用いるというような可能性がある。

【0045】

本発明は、高誘電体絶縁膜の実効バンドオフセットを井戸型ポテンシャルあるいは多重井戸型ポテンシャルによる量子化によって制御しようという、全く新しい発想から生まれたものである。本発明ではエピタキシャル成長技術を使って、井戸層Wを構成する方法も有力であるが、配向性の膜や、多結晶（ポリクリスタル）の膜、非晶質（アモルファス）の膜を上手く組み合わせて、井戸を構成することも可能であるので、必ずしもエピタキシャル膜を全体に渡って成膜しなくてはならないわけではない。

【0046】

単独の量子井戸を用いた絶縁膜構造においては、井戸層Wの内部に形成されるエネルギー最低のレベル（量子化された零点振動レベル）まで実効的なバンドオフセットを上昇させることができる。

【0047】

絶縁膜に印加される電場 5 MV/cm 、絶縁膜の SiO_2 換算膜厚 10 オングストローム において、例えばコンピュータ演算装置を 10 W 以下の低消費電力で動作させるには、漏れ電流を 10^{-5} A/cm^2 以下にすることが有効である。これを実現するにはトンネルによる漏れ電流に対する障壁高さが 0.9 eV 以上必要である。

【0048】

本発明では、以下のような条件のもとで、より効率的な量子化が可能となり、絶縁膜として重要なトンネル障壁の高さを 0.9 eV 以上にまで高めることが可能となる。その条件とは、まず第1に、井戸層Wの幅 d_2 を 5 オングストローム 以下とすることである。

【0049】

また、障壁層 B 1、B 2 の材料として、Si に対するバンドオフセットが n 、 p の両側に 1 e V 以上ある物質を用い、その幅 d_1 、 d_3 が以下の条件を満たすことである。

【0050】

$$d_1 > 2.5 \text{ オングストローム}$$

$$d_3 > 2.5 \text{ オングストローム}$$

さらに、以下の条件を満たすことがより望ましい。

【0051】

$$d_1 > 3.5 \text{ オングストローム}$$

$$d_3 > 3.5 \text{ オングストローム}$$

$$2.5 > (d_1 / \epsilon_1 + d_3 / \epsilon_2)$$

ここで、 ϵ_1 、 ϵ_2 は、それぞれ障壁層 B 1、B 2 の比誘電率である。

【0052】

まず、井戸層 W の幅 d_2 に関する条件であるが、これは、量子化されたレベルの最低レベル（零点振動レベル）が 0.9 e V 以上に達するために必要となる条件である。すなわち、本発明においては、井戸層 W の幅 d_2 を 5 オングストローム以下とすることにより、0.9 e V 以上の量子化レベルを形成させる。このようにすれば、いわゆる「トンネリング・レゾナンス (tunneling resonance)」により量子井戸構造を貫通するリーク電流が増大する電圧を通常の電子素子の動作電圧よりも高くすることができる。その結果として、MOSFET や MIM などのデバイスにおいて通常のバイアスを印加した時のリークを遮断することが可能となる。

【0053】

図 3 は、絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【0054】

従来の SiO_2 のみからなる絶縁膜 (SiO_2 絶縁膜) は、印加電圧に対して、リーク電流が指数関数的に上昇する特性を有する。

【0055】

一方、前述した特許文献 1 及び特許文献 2 に開示されている積層型の絶縁膜の

場合、バンドキャップが小さい絶縁層（本発明の井戸層に対応する）の膜厚が30オングストロームあるいはそれ以上であり、この場合には、動作温度（ -50°C ～ $+100^{\circ}\text{C}$ ）において、井戸内レベルが連続化してしまい、量子効果は全く発現されないことになる。このため、図3に表したように、これら従来の積層型絶縁膜の場合にも、リーク特性は、通常の SiO_2 絶縁膜（膜厚は積層絶縁膜の SiO_2 換算膜厚とする）とよく似た傾向を有し、量子効果によるリーク電流の抑制は全く見られない。

【0056】

これに対して、本実施形態の量子井戸型絶縁膜の場合、井戸層Wの幅 d_2 を5オングストローム以下とすることにより、量子効果が生じて、井戸層W内に、0.9eV以上の量子化レベルが形成される。その結果として、障壁層B1、B2をトンネルしても、この量子化レベルに至るまではキャリアが絶縁膜を貫通しないために、リーク電流を大幅に減少させることができる。そして、量子井戸型絶縁膜に対して、さらに印加電圧を大きくすると、図3に表したように、リーク電流はピーク的に上昇する。これは、トンネリング・レゾナンスにより、井戸層Wに形成された量子化レベルを介してキャリアが絶縁膜全体を貫通する状態を表す。

【0057】

井戸層Wの幅 d_2 を5オングストローム以下にして得られる量子化レベルは、通常のMOSFETやMIMの動作電圧範囲よりも高い。このために、図3に表したように、動作電圧範囲の全体に亘ってリーク電流を低減することができる。

【0058】

次に、障壁層B1、B2の幅 d_1 、 d_3 に関する条件であるが、これは、あまり薄いと障壁高さが低下すること、また井戸外部への状態の量子的な「しみだし」が発生してレベルが拡がりをもつことを防ぐことが必要となるからである。3.5オングストローム以上であればこれらの問題はほぼ完全に回避されるが、2.5オングストロームでもおよそ半分程度の効果を得ることかは可能である。よって、3.5オングストローム以上が好ましいが、2.5オングストロームでも最低限の量子効果が見られることになる。つまり、障壁層B1、B2は、2.

5 オングストローム以上、更に好ましくは 3.5 オングストローム以上の障壁幅が必要となる。

【0059】

障壁層 B1、B2 の上限幅については、必要以上に厚いと SiO₂ 換算膜厚が 10 オングストロームを越えてしまうことになる。これを防ぐには、障壁層 B1、障壁層 B2 の幅 d1、d3、比誘電率 ϵ_1 、 ϵ_2 が少なくとも、

$$2.5 > (d1 / \epsilon_1 + d3 / \epsilon_2)$$

の関係を満たさなければならないことになる。

【0060】

絶縁膜に印加される電場 5 MV/cm，絶縁膜の SiO₂ 換算膜厚 10 オングストロームにおいて、例えばコンピュータ演算装置を 100 W 程度までの中程度の消費電力で動作させることができれば十分である場合もある。この場合には、漏れ電流を 10^{-2} A/cm² 以下に抑えることが有効である。これはトンネルによる漏れ電流に対する障壁高さが 0.25 eV 以上あれば実現され得る。そして、これを量子井戸構造で実現するには、障壁層の高さを 0.5 eV 以上、井戸幅 10 オングストローム以下とすれば十分であるため、材料の選択肢が大きく広がることになる。

【0061】

次に、2 重量子井戸構造を用いた絶縁膜について説明する。

【0062】

図 4 は、2 重量子井戸を用いた絶縁膜を例示する模式図である。すなわち、井戸層 W1、W2 が、障壁層 B1～B3 に挟まれた構造を有する。井戸層 W1、W2 は、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層 B1～B3 は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0063】

図 5 は、2 重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【0064】

2 重量子井戸を用いた絶縁膜構造においては、第 1 の井戸層 W 1 の幅と第 2 の井戸層 W 2 の幅とを異ならせることにより、図 5 に例示したように、それぞれの井戸層内に形成される量子準位のエネルギーレベル（波線で例示した）を大きくずらすことが可能となる。この場合、両方の井戸層 W 1、W 2 の内部にできるエネルギーレベルが合わない条件とすれば、実効的なバンドオフセットを障壁層の高さそのものとするのが可能となり、非常に高いエネルギー障壁を作り出すことが可能となる。

【0065】

図 6 は、この 2 重量子井戸構造に電圧が印加された状態のエネルギーダイアグラムを表す模式図である。このように、電圧が印加されると各井戸層のポテンシャルが変化するので、隣接する井戸層間で、エネルギーレベルが近接し、または一致する場合も生ずる。例えば、図 6 の具体例の場合、井戸層 W 1 の最低準位（W 1 における下側の波線に対応する）と、井戸層 W 2 の第 2 準位（W 2 における上側の波線に対応する）とがほぼ同一のレベルになっている。このような状況では、バンドオフセットが急激に低下してしまうことになるので、両方の井戸層のエネルギーレベルの差が大きいことが望ましい。

【0066】

但し、隣接する井戸層間のエネルギーレベルが一致してしまったとしても、井戸幅の薄いほうの井戸層（図 5 及び図 6 においては井戸層 W 1）の幅 d_2 を 5 オングストローム以下にして、電圧が印加された時に高いポテンシャルの側に位置するように積層すれば、1 e V 程度の障壁を持たせることは可能となる。

【0067】

本実施形態によれば、問題になるトンネル障壁の高さ（実効的なバンドオフセット）を 1.5 e V から 3 e V 以上（障壁層のバンドオフセットに対応した値）にまで高めることが可能となる。二つの井戸層内にできるエネルギーレベルのエネルギー差が十分大きく、この絶縁膜を用いた半導体装置の駆動時の印加電圧による「ずれ」の最大値（0.4 e V 程度が想定される）よりも 1 割以上（0.04 e V 程度が想定される）大きければ理想的である。印加電圧によるエネルギーの「ずれ」は、障壁層 B 2 の幅 d_3 に大きく依存しており、また必要な印加電圧

は膜全体の誘電率に依存しているので、井戸部分や障壁部分の厚さをコントロールすることで、印加電圧以下で二つの井戸層内のレベルが一致することを防ぐことは十分可能である。

【0068】

図7は、絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【0069】

図3に関して前述したものと同様の部分については説明を省略するが、2重量子井戸構造とすることにより、リーク電流をさらに減少させることが可能となる。また、量子井戸W1、W2間の量子化レベルの一致を防ぐことにより、図7に表したように、リーク電流のピーク的な上昇も確実に抑えることができる。

【0070】

一方、ここで用いる障壁層B1～B3の幅d1、d3、d5については以下の条件が望ましい。

【0071】

$$d1 > 2.5 \text{ オングストローム}$$

$$d3 > 2.5 \text{ オングストローム}$$

$$d5 > 2.5 \text{ オングストローム}$$

さらに、以下の条件を満たすことがより望ましい。

【0072】

$$d1 > 3.5 \text{ オングストローム}$$

$$d3 > 3.5 \text{ オングストローム}$$

$$d5 > 3.5 \text{ オングストローム}$$

$$2.5 > (d1/\epsilon_1 + d3/\epsilon_2 + d5/\epsilon_3)$$

ここで、 ϵ_1 、 ϵ_2 、 ϵ_3 は、それぞれ障壁層B1、B2、B3の比誘電率である。

【0073】

これら障壁層の幅に関する条件は、図1及び図2に例示したような、単一型の量子井戸構造の場合の条件と同様の考え方から導出したものである。

【0074】

また一方、2重量子井戸構造において、井戸層W1、W2にそれぞれ異なる物質を使用することにより、井戸層内部にできるエネルギーレベルをずらすことも可能である。また、障壁層B1～B3に用いる物質も全ての障壁層について同じ物質を用いる必要はなく、本発明の絶縁膜の上下に設けられる材料や構造に応じて、また、成膜の安定度や手順などに合わせて、その都度、最適の物質を選べば良い。

【0075】

2重量子井戸構造を用いた絶縁膜構造において、上記の考えかたと発想を変えて構造を設計することも可能である。すなわち、電圧が印加されていない状態において二つの井戸層W1、W2のエネルギーレベルを大きくずらしたものののではなく、初めから印加電圧によるポテンシャルの「ずれ」を考慮して設計することができる。この場合、電圧が印加されていない状態においては、2つの井戸層のエネルギーレベルは近接しまたは同一となる場合もある。

【0076】

例えば、二つの井戸層の幅を同一にした場合がそれにあたる。単一量子井戸構造の場合と同じように構成すると（それぞれの井戸層W1、W2の幅 d_2 、 d_4 は5オングストローム以下が望ましい）、印加電圧が加わっていないときには、1 eVぎりぎりの障壁しかないが、電圧が印加されると、実効的な障壁が高くなる。この場合、井戸層の内のエネルギーレベルは一つ、あるいは二つ程度しかなく、二つある場合もそのエネルギー差が1.5 eV以上であるように設計することが可能である。

【0077】

このようにすれば、本発明の絶縁膜をMIMなどの半導体装置に応用した場合に、バイアス電圧を印加しても、井戸層間のエネルギーレベルの一致は発生しない。しかも、井戸層を構成するのに必要な膜厚を小さくできるため、キャパシタンスを大きくしたい場合には特に有効である。ただし、この場合、井戸層W1、W2の間に相互作用が働かないように、両者の間に幅3.5オングストローム以上の障壁層B2が必要である。障壁層B2の幅 d_3 を小さくした場合、エネルギーレベルに広がりが出て、電圧が加わっているときにも、レベルが一致してしま

い、実効的な障壁高さが、 0.7 eV 程度に下がってしまい、高い性能は期待できないおそれがある。

【0078】

同様の作用は、後に説明するように3層以上の量子井戸層を設けた多重量子井戸構造においても同様であり、障壁層の幅が 2.5 オングストロームよりも小さい場合、井戸層を重ねるほどレベルの拡がりが大きくなってしまふことを理解した上で量子井戸構造を設計する必要がある。

【0079】

本発明の絶縁膜の場合、多重量子井戸構造においては量子井戸間の障壁層の厚みを 3.5 オングストローム以上とする点は、重要である。障壁層の厚みが薄くなると、上述したように井戸層の量子レベルが幅を持ち、電子の閉じ込めが弱くなり、運動エネルギーの面から非常に得をする。しかし、本発明においては、この運動エネルギーの分のエネルギー損失があっても、エネルギーレベル間に相互作用ができる限りないように設計することがポイントである。

【0080】

一方、前述した非特許文献1には、Ruddlesden-Popper (RP) 型 (ルデュルスデン・ポッパー型) 物質である、 $\text{Sr}_{n+1}\text{Ti}_n\text{O}_{3n+1}$ の SrTiO_3 基板上へのエピタキシャル成長の方法に関して議論がされており、その本文中で「 $\text{Sr}_{n+1}\text{Ti}_n\text{O}_{3n+1}$ が MOSFET のゲート絶縁膜として可能性がある」と希望的に記載されている。しかし、RP 型物質のひとつである、 $\text{Sr}_{n+1}\text{Ti}_n\text{O}_{3n+1}$ は、本発明で必要とされる量子井戸構造を形成しているわけではなく、多重量子井戸構造を応用した、実質的な障壁高さが、障壁物質の障壁高さに一致する絶縁膜としては機能しない。障壁に対応する部分の厚みが非常に薄く、膜厚方向に広がったバンド (エネルギーの連続化に対応) を形成してしまふため量子レベルが形成されないことが原因である。よって井戸構造を使った、大きな障壁を持つ絶縁膜を形成できず、「本発明によって得られる、実質的な障壁高さが、障壁物質の障壁高さに一致する絶縁膜」とは全く異なるものである。

【0081】

本発明においては、以下に詳述するような設計指針に則ったポテンシャルにより生ずる量子レベル化（量子効果による離散的な準位形成）が必須な条件である。量子レベル化が起こらない限り、「本発明によって得られる、実質的な障壁高さが、障壁物質の障壁高さに一致する絶縁膜」を実現することは不可能である。

【0082】

本願明細書において説明されているように、量子井戸構造を作るためには、内部のT iサイトを占める物質同士（井戸部分構成物質）の膜厚方向の相互作用を完全に遮断できるように、「離散的な共振量子レベルが発生するように、井戸部分の厚さに変調を加えた超格子構造を設計（例えば、井戸部分の厚みとして、3.9オングストロームと7.8オングストロームとを交互に設けるなど。）」するか、「離散的な共振量子レベルが発生するように障壁層を十分厚く設計（少なくとも3.5オングストロームであるが、RP型では2.5オングストローム程度しかない）」しなくてはならない。

【0083】

非特許文献1に開示されているRP型物質は、このどちらにも当てはまらず、有限温度における、電子障壁、正孔障壁を大きく上昇させることはできない。

【0084】

本発明において、離散的な共振量子レベルが発生することが重要である理由は、電子（或いは正孔）が井戸内部に閉じ込められていることを意味するからである。つまり、外部から見た時、あたかも有効質量が無限に大きくなっているかのごとくみえるからである。

【0085】

すなわち、井戸内部に共振状態に入った電子は膜厚方向の有効質量が非常に大きくなるため、膜厚方向移動度が実質的にゼロになったかのごとく見える。このため、本発明の設計に従った量子井戸を応用した絶縁膜では、実質的な障壁高さが、障壁物質の障壁高さに一致するため、非常に大きな電子障壁、正孔障壁を持つことが可能となるだけでなく、絶縁膜の透過確率も通常のバンドに入っている電子（或いは正孔）の透過確率よりも桁違いに低下させることが可能となる。

【0086】

バンドを形成した伝導帯では、この効果が全く使えない。そのため非特許文献 1 に記載されているような RP 型物質では、たとえ電子障壁が 0.8 eV 程度大きくなったとしても、透過確率が大いままであるため、量子井戸を応用した絶縁膜の場合のようにリーク電流を十分に止めることはできない。その結果として、同じ EOT (SiO_2 膜厚に換算した膜厚) で比べた場合、非特許文献 1 の RP 型では本発明に従った絶縁膜に比べてリークが止まらない。後に実施例として詳述するように、本発明による絶縁膜を用いると、同じ EOT の SiON 膜に比べて、 10^{-8} 倍程度のリーク電流の低下が期待できる。これに対して、非特許文献 1 に記載されている RP 型の物質では、 SiON 膜に比べて 0.1 倍程度しか低下しないことが、実験で分った。

【0087】

今日のコンピュータ演算装置向け集積回路を考えた時、演算チップの消費電力は少なくとも 100 W を下回ることが求められている。演算性能を重視し、中程度の消費電力を許した場合は 100 W 以下とし、消費電力を極力抑える場合には 10 W 以下にする、というのが現実的な目標である。もちろん、これよりもさらに消費電力が改善する分には構わないが、悪化することは現実的ではない。その意味で現実的な上限値と考えればよい。

【0088】

それぞれ、 100 W 、 10 W の消費電力に抑える際、電場 5 MV/cm 、絶縁膜の SiO_2 換算膜厚 10 \AA において、漏れ電流が 10^{-2} A/cm^2 、 10^{-5} A/cm^2 以下に抑えることが有効であることが分っている。そして、漏れ電流量は電子およびホール（正孔）に対する障壁に大きく依存しているので、必要となる電子およびホールに対する障壁を見積もることができる。

【0089】

ホールに関しては、多くの物質で 1 eV を超えるような障壁が報告されており、本発明において包含される物質は全て 1 eV を超える値を有しているので特に問題にはならない。問題は、電子に対する障壁であるが、井戸型の場合、 0.25 eV および 0.9 eV がそれぞれ、必要であるということを既に説明した。ペ

ロブスカイト構造や上で議論したRP型の物質のようにバンドに電子が入る通常の場合には、0.85 eV、1.0 eV以上の電子に対する障壁高さが必要となる。

【0090】

実際に、RP1型の Sr_2TiO_4 では電子の障壁は0.8 eV程度となるが、バンドに電子が入るために、改善は十分ではなく、電場5 MV/cm、絶縁膜の SiO_2 換算膜厚10オングストロームにおいて、漏れ電流が 10^{-1} A/cm^2 にとどまっている。 SiO_2 に比べれば、3桁の改善ではあるが、不十分であり、消費電力も200ワットに近い値となる。特に最適な状態とは、10ワット以下の消費電力でありながら、演算性能も高い（移動度が非常に大きい）というものである。よって、バンドに電子が入るペロブスカイト構造やRP型では、電子障壁が1.0 eV以上であることが望ましく、かつ移動度がSi基板を用いた場合には $400 \text{ cm}^2/\text{Vsec}$ 以上であることが望ましい。

【0091】

MOS構造において、移動度は界面電荷トラップ密度 D_{it} (cm^{-2}/eV)に直接的に関連があり、 D_{it} はエピタキシャル成長においては基板・絶縁膜間の格子定数差に強く依存している。そして、格子定数差が1.5%以下では D_{it} は非常に小さく、移動度も非常に大きい。1.5%を超えた段階で急激に D_{it} が増加し、移動度が急激に減少する。格子定数差が1.5%以下では、Si基板に対し移動度は $400 \text{ cm}^2/\text{Vsec}$ 以上であり、 D_{it} は $8 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ 以下である。

【0092】

また、ひずみSi基板の場合も、最適移動度の値はひずみ量に依存して変化するが、 D_{it} の増加の仕方はSi基板のそれと全く同じである。つまり、1.5%以下の格子定数差であれば、 D_{it} が非常に小さく、移動度も非常に大きい。1.5%を超えると D_{it} が急激に増加し、移動度が急激に減少する。

【0093】

以上の説明から分かるように、バンドに電子が入るペロブスカイト構造やRP型の物質を用いた場合、MOSFETの動作速度を確保しつつ消費電力を低下さ

せるためには、電子障壁が 1.0 eV 以上であり、かつ格子定数差が 1.5% 以内であることが必要である。また、井戸型の場合にも格子定数差による移動度の変化は全く同様であるので、 1.5% 以内の格子定数差が最適範囲の境目となる。

【0094】

次に、3重量子井戸構造を用いた絶縁膜構造について説明する。

【0095】

図8は、3重量子井戸構造を有する絶縁膜の断面構造を例示する模式図である。すなわち、第1乃至第3の井戸層 $W1$ 、 $W2$ 、 $W3$ が、第1乃至第4の障壁層 $B1 \sim B4$ に挟まれた構造を有する。井戸層 $W1 \sim W3$ は、バンドギャップが相対的に小さく、かつ比誘電率が相対的に大きい物質からなる。一方、障壁層 $B1 \sim B4$ は、バンドギャップが相対的に大きく、比誘電率が相対的に小さい物質からなる。

【0096】

図9は、3重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【0097】

図8及び図9に例示した3重量子井戸構造の場合、第1の井戸層 $W1$ と第3の井戸層 $W3$ の幅 $d2$ 、 $d6$ が同一であり、第2の井戸層 $W2$ の幅 $d4$ は第1、第3の井戸幅と異なる。このようにすると、電圧を印加した時に、全ての量子井戸層の間で量子化エネルギーレベルが一致することによるバンドオフセットの低下を防ぐことができる。

【0098】

すなわち、電圧を印加して第1の井戸層 $W1$ と第2の井戸層 $W2$ のレベルが一致する場合は、第3の井戸層 $W3$ のレベルは、これらのレベルとは異なる。このような井戸層同士のエネルギーレベルの調節は、井戸幅や障壁層の厚みや材料などを適宜設定することで実現できる。ここでも、井戸層と障壁層を構成する代表的な物質は、上述したものと同様である。

【0099】

本発明では、絶縁膜のトンネル障壁の高さを 1.5 eV から 3 eV 以上（障壁層の物質のバンドオフセットに対応した値）にまで高めることが可能となる。ただしその条件としては、第 1 乃至第 3 の井戸層 $W1 \sim W3$ 内にできるエネルギーレベルが、電圧印加時に図 6 に例示した如く一致しないようにすることである。

【0100】

例えば、第 1 と第 3 の井戸層の幅 $d2$ 、 $d6$ が同一であり、かつ 5 \AA 以下であり、第 2 の井戸層 $W2$ の幅 $d4$ が 5 \AA より大きく 10 \AA 未満であれば、この条件は満たされる。

【0101】

障壁層の厚みに関してはこれまでと同様の条件が必要となってくる。すなわち

$$d1 > 2.5 \text{ \AA}$$

$$d3 > 2.5 \text{ \AA}$$

$$d5 > 2.5 \text{ \AA}$$

$$d7 > 2.5 \text{ \AA}$$

さらに、以下の条件を満たすことがより望ましい。

【0102】

$$d1 > 3.5 \text{ \AA}$$

$$d3 > 3.5 \text{ \AA}$$

$$d5 > 3.5 \text{ \AA}$$

$$d7 > 3.5 \text{ \AA}$$

$$2.5 > (d1/\epsilon_1 + d3/\epsilon_2 + d5/\epsilon_3 + d7/\epsilon_4)$$

ここで、 ϵ_1 、 ϵ_2 、 ϵ_3 、 ϵ_4 は、それぞれ障壁層 $B1$ 、 $B2$ 、 $B3$ 、 $B4$ の比誘電率である。

【0103】

井戸層 $W1$ 、 $W2$ 、 $W3$ に異なる物質を使用し、井戸層内部にできるエネルギーレベルを異なるものにすることも可能であることは 2 重井戸の場合と同じである。また障壁層 $B1 \sim B4$ に用いる物質も、全ての障壁層に同じ物質を用いる必要がないことも 2 重量子井戸の場合と同じである。

【0104】

以上、量子化レベル（量子効果による離散的な準位）を用いた、量子井戸構造応用絶縁膜について詳述した。

【0105】

次に、量子井戸構造の適応の有無にかかわらず、特に「ペロブスカイト型物質 ABO_3 」及び「ペロブスカイト型物質 ABO_3 と岩塩構造物質 AO の積層構造」に関して、 Si 上（或いはひずみ Si 上）に直接エピタキシャル成長させた場合のゲート絶縁膜としての最適物質について説明する。ここで、 A は Ba 、 Sr 、 Ca 、 Mg の少なくとも一つであり、 B は Ti 、 Zr 、 Hf の少なくとも一つである。

【0106】

まず、 Si 上（或いはひずみ Si 上）のゲート絶縁膜の条件は、以下の3点である。本発明者が知る限りにおいて、本発明の以前には、以下の「絶縁膜としての必須3条件」を同時に満たす物質は見出されていなかった。

【0107】

①界面特性を良好にし、電子・正孔の両者の移動度を高いものに保つために、絶縁膜の格子定数は、結晶軸の回転を考慮した上（ Si （001）表面に成長させる場合、結晶軸が45度回転して成長する）で、基板の格子定数に対して最大でプラスマイナス1.5%以内に抑えなければならない（1.5%以上の格子定数差がある場合には、界面電荷が急増してしまい、移動度が急低下してしまうことを既に説明した）。この時、ひずみの入っていない Si 基板であれば、基板格子定数は5.43オングストロームであるので、絶縁膜の格子定数の条件は、 $21/2$ 倍（45度回転）して、5.349オングストローム以上5.511オングストローム以下となる。また例えば、プラス1%のひずみシリコン基板であれば基板格子定数は5.484オングストロームであるので、5.402オングストローム以上5.567オングストローム以下となる。今後、ひずみ Si 基板なども頻繁に用いられるようになると考えられるので、基板のひずみ量を考慮した格子定数の選択が必要である。

【0108】

本発明では、Si (001) 基板上にペロブスカイト型物質 ABO_3 薄膜が直接エピタキシャル成長する場合と、岩塩構造をした物質 AO (A は Ba、Sr、Ca、Mg の少なくとも一つとする) の薄膜と、ペロブスカイト型物質 ABO_3 薄膜が交互にエピタキシャル成長する場合を考察することで、この構造の範囲での最適物質を選択する。

【0109】

格子定数は、構成物質の置換 (A や B) と、挿入する AO 薄膜の枚数の両方でコントロールが可能である。以下、具体的な例としては、ひずみ Si 基板のひずみ量は、プラス 1% としているが、ひずみ量によって領域がずれることは明らかである。つまり、以下の説明においては、単に代表例として、プラス 1% の場合を示しているだけであって、プラス 1% でなければならないということではない。実際に、ひずみ SOI (silicon on insulator) など容易に実現可能なひずみ量が現在の段階ではプラス 1% 程度であるために、プラス 1% を代表例にしているが、将来は 2% 以上に及ぶひずみ Si 基板が容易に作成可能になると考えられる。

【0110】

例えば、ひずみ Si 基板のひずみ量がプラス 1.5% であれば、ひずみ Si 基板の格子定数は 5.511 オングストロームとなり、5.428 オングストロームから 5.594 オングストロームの格子定数をもつ薄膜を成膜する必要があることになる。ひずみ Si 基板のひずみ量がプラス 2% であれば、ひずみ Si 基板の格子定数は 5.539 オングストロームとなり、5.456 オングストロームから 5.622 オングストロームの格子定数をもつゲート絶縁薄膜を成膜する必要があることになる。

【0111】

また、基板側の格子定数が自由に操作できるようになった場合には、ゲート絶縁膜の格子定数にあうように、ひずみ Si 基板の格子定数を制御することも可能となる。ただし、ひずみ Si 基板のひずみ量は、その移動度の関係から可能な限り大きい方が良く考えられるので、できる限りひずみ Si 基板のひずみは大きくしつつ、それにゲート絶縁膜の格子定数をできる限り合わせるということが望

ましい。そして、以下に具体例として説明するように、ひずみ Si 基板の格子定数がプラス 2% の場合（格子定数 5.539 オングストローム）でも、ゲート絶縁膜を十分に最適化することが可能である。

【0112】

ここで、本発明において対象とする物質 BaZrO_3 の格子定数を $2^{1/2}$ 倍すると、5.93 オングストロームであることから、ひずみ Si 基板の格子定数の限界（それよりも 1.5% 大きい）は、6.02 オングストロームとなる。この限界条件において、ひずみ Si 基板のひずみ量は 11% にも及んでおり、シリコン基板に弾性的に導入できるひずみ量の限界を超えていると考えられる。つまり、本発明のゲート絶縁膜を用いれば、現実的なひずみ量を有するひずみ基板を全てカバーできる。

【0113】

② 障壁が十分高いことが必要とされる。前述したように、本発明で扱う「ペロブスカイト型物質」及び「ペロブスカイト型物質と岩塩構造物質の積層構造」では、正孔に対する障壁は十分（およそ 2.0 eV が確保される）に大きい。そこで必要となるのは、電子に対する障壁が 1 eV 以上となる条件を求めることである。この条件は非常に厳しいものであるにもかかわらず、本発明に基づいて設計を行えば、非常に広い条件範囲で可能となる。特に、離散的な共振量子化レベルを用いた量子井戸絶縁膜を用いる場合には、障壁物質の障壁高さ（ここで考えている岩塩構造では 2.5 eV 程度が期待できる。）にも達するために容易に実現できる。

【0114】

③ 比誘電率としては、（実膜厚（オングストローム））÷（比誘電率）< 2.5（オングストローム）が満たされていることが必要とされる。この条件が満たされれば、 SiO_2 換算膜厚が 10 オングストローム以下となり、必要な電荷が確保されることになる。ここで、実膜厚は厚ければより効果的であるので、誘電率はできる限り大きい方がよい。通常の薄膜の場合は、少なくとも比誘電率として 20 以上が必要である。

【0115】

それに対し、離散的な量子化レベルを用いた量子井戸絶縁膜を用いる場合には、非共鳴状態を使うことになるのでトンネル確率は極端に小さくなることは前述した通りである。この場合は、膜厚がある程度は薄くてもリーク電流を極端に小さく抑えることが可能になる。よって、全体の比誘電率がある程度小さい値になる薄膜を用いてもリークを十分に抑えることが可能となる。この点は、離散的な量子化レベルを用いた量子井戸絶縁膜を用いることによって初めて得られる本質的な効果のひとつである。その結果として、比誘電率の下限を 10 程度にまで下げることが可能となる。

【0116】

以上説明した 3 つの条件を全て満足する薄膜を構成するには、二つの方法が考えられる。その第 1 の方法は、前述したように離散的な量子化レベルを用いた量子井戸絶縁膜を用いる方法である。また、第 2 の方法は、物質そのものを最適化する方法である。また、第 1、第 2 の方法を組み合わせることで、更に有効な物質の範囲を拡大することが可能となる。

【0117】

以下、第 2 の方法に関して詳しく説明する。ここでは、「ペロブスカイト型物質 ABO_3 」及び「ペロブスカイト型物質 ABO_3 と岩塩構造物質 AO の積層構造」を例に挙げ、上記の 3 条件、①格子定数②電子障壁③誘電率の全てを満足させることができることを説明する。また、全ての計算結果は、適宜サンプリングし、実際の試作実験によって、確認した。

【0118】

まず、電子障壁について説明する。ペロブスカイト型物質 ABO_3 では、A サイトを Ba , Sr , Ca , Mg と変化させても、バンドギャップ、及び電子障壁は殆ど変化しない。それに対し、B サイトを変化させると、電子障壁が大きく変化することが判明した。しかも、 $(Ti \text{ 量}) \div (Ti \text{ 量} + Zr \text{ 量} + Hf \text{ 量}) \leq 0.5$ を満たすことにより、ペロブスカイト型物質 ABO_3 を Si 上に直接成膜した時の電子障壁を 1 eV にまで増大させることが可能であることが判明した。

【0119】

以下に、構造毎に最適な領域を順次説明する。

【0120】

(1) Si 基板上、あるいはひずみ Si 基板上へのエピタキシャル成長であり、
「ペロブスカイト型物質 ABO_3 」の場合。

【0121】

図 23 は、ペロブスカイト型物質において、組成に対する格子定数、誘電率、バンドギャップ等の関係を表すグラフ図である。同図の横軸は、化学式 ABO_3 における A サイト原子の組成に対応し、縦軸は、B サイト原子の組成に対応する。ここでは具体的に、化学式 ABO_3 において、 $A = (Ba, Sr, Ca, Mg)$ 、 $B = (Ti, Zr)$ のいずれかをそれぞれ選択した場合の、格子定数、誘電率、バンドギャップを表した。また、Si 基板の格子定数である 5.43 オングストロームの等高線 S1 も表した。また、格子定数の上限（プラス 1.5%）が 5.511 オングストロームであるので、その等高線 S2 も実線で表した。

さらに、格子定数の下限（マイナス 1.5%）が 5.349 オングストロームであるので、その等高線 S5 も実線で表した。絶縁膜の格子定数が、等高線 S2 と等高線 S5 の間にあることが、シリコン基板に整合する条件 U である。条件 U に適合し、かつ電子障壁が 1.0 eV 以上の領域を、これ以降、領域「A」と記すことにする。

【0122】

B サイトを占める Zr の割合を 50% 以上とすると、電子障壁が 1 eV 以上になる。従って、図 23 のグラフにおいて、斜線により表した下半分の範囲内であれば、電子障壁が高い（1 eV 以上）という条件に合う。誘電率に関しては、それぞれの材料の誘電率を見れば分かるように、ペロブスカイト型物質であれば、十分に大きいといえる。ただし、Mg が多いとペロブスカイト型物質を形成できなくなり、誘電率が低下してしまう。従って、Mg の割合は 10% 以下としつつ、格子定数を小さくするように調整する必要がある。

【0123】

以上の考察の結果、Si 基板上へのエピタキシャル成長に関しては、上記「絶縁膜としての必須 3 条件」を満たす領域が存在しないことが分かる。前述した特許文献 3 においては、図 23 に示した領域 X が最適な領域とされている。しかし

、電子障壁が 1 eV に満たず、または、格子定数もシリコンに整合する条件 U からの「ずれ」が大きいため、ゲート絶縁膜としては適さないと言える。

【0124】

一方、プラス 1% 程度のひずみ Si 基板上へのエピタキシャル成長を考えた場合には、最適な格子定数が大きくなるので、整合する範囲が獲られる。すなわち、プラス 1% のひずみを持ったひずみ Si の格子定数は、 5.484 オングストロームであり、その等高線 S3 は図示した通りである。この格子定数に整合するゲート絶縁膜の格子定数の上限は、 5.56 オングストロームであり、等高線 S4 により表される。また、格子定数の下限は、 5.40 オングストロームであり、等高線 S6 により表される。絶縁膜の格子定数が、等高線 S4 と等高線 S6 の間にあることが、プラス 1% 程度のひずみをもつひずみシリコン基板に整合する条件 V である。等高線 S4 と S6 との間であり（条件 V に適合し）、且つ、電子障壁が 1 eV 以上（斜線ハッチ部）である領域は、同図に表した領域 B である。例えば、 $\text{Ca}(\text{Ti}_{0.4}\text{Zr}_{0.6})\text{O}_3$ であれば、電子障壁は 1.2 eV 程度であり、格子定数が 5.556 オングストローム、そして誘電率 40 程度と非常に理想的な薄膜が作成可能である。

【0125】

特許文献 3 においては、実施例 4 としてひずみ Si に関して言及されている。しかし、特許文献 3 の実施例 4 では、電子障壁が殆ど生じない ($\text{Sr}_{0.5}\text{Ca}_{0.5}\text{TiO}_3$) を用いられている。つまり、同文献においては、電子障壁について考慮されていないことを、改めて指摘できる。特許文献 3 では、格子定数が整合している範囲として、特許文献 3 の図 4 の領域 R1 を記している。しかし、これは、本願の図 23 の Si の格子定数 5.43 オングストロームで示している実線 S1 に対応し、この直線上には最適領域は存在しない。

【0126】

また、ひずみ Si 基板のひずみ量によって、最適範囲がずれることは明らかである。例えば、ひずみ量がプラス 1.5% であれば、ひずみ Si 基板の格子定数は 5.511 オングストロームとなり、 5.428 オングストロームから 5.594 オングストロームの格子定数をもつ薄膜を成膜する必要があることになる。

つまり、最適な範囲が領域Bよりも拡大する。ひずみ量と最適範囲についての関係は、以下に説明する各具体例においても同様であるので、以下の具体例においては、詳細な説明は省略する。

【0127】

図24は、BサイトにZrの代わりにHfを採用した場合の格子定数、誘電率、バンドギャップ等をまとめたグラフ図である。同図においても、図23と同様の格子定数の等高線S1～S6を表した。

【0128】

ZrとHfの差としては、格子定数がZrの場合に比べて0.6%程度小さくなることが挙げられる。Zrを用いた場合に比べて、Hfを用いた場合には、最適領域が多少ずれる点が違いであって、本質的な変化はない。

【0129】

以上説明したように、図23及び図24に関して説明したペロブスカイト構造の物質では、Si基板上に最適な絶縁膜を形成することは困難であるが、ひずみSi基板を用いた場合には、ある程度良好な絶縁膜が形成可能であることが分かった。

【0130】

図25は、本具体例の絶縁膜を用いたMOSFETを表す模式図である。すなわち、シリコン基板またはひずみシリコン基板151の表面にはソース領域S及びドレイン領域Dが形成されている。そして、これらソース領域及びドレイン領域の間のチャネル領域の上に、上述した絶縁膜152が設けられ、その上にゲート電極153が設けられている。そして、ゲート絶縁膜152の材料として、図23、図24に表した領域Bの範囲の材料を用いることにより、高速で低消費電力のMOSFETを実現できる。

【0131】

次に、図26は、RP型の材料を用いた場合の一例を表すグラフ図である。同図には、RP型 $A_{n+1}B_nO_{3n+1}$ のなかで、 $n=1$ の場合（「RP1型」と略す。）の格子定数、誘電率、バンドギャップなどをまとめた。つまり、同図は、Si基板上、あるいはひずみSi基板上へのエピタキシャル成長であり、ペ

ロブスカイト型物質 ABO_3 と岩塩構造物質 AO モノレイヤーとを交互に積層させた構造を有する材料について、格子定数、バンドギャップ、誘電率などをまとめたグラフ図である。また、図 26 においても、図 23 と同様に格子定数の等高線 $S1 \sim S6$ を表した。また、図 26 においても、A サイトを占める原子として (Ba , Sr , Ca , Mg)、B サイトを占める原子として (Ti , Zr) をそれぞれ挙げた。

【0132】

まず、バンドギャップについて説明すると、上述したように、RP 型物質では障壁部分が薄すぎるために、離散的な量子化レベルが形成される量子井戸絶縁膜を得ることはできない。従って、 Zr (或いは Hf) 量を増やして電子障壁 (ΔE_c) を 1 eV 以上に上昇させる必要がある。RP1 型物質では、 Zr (+ Hf) の割合が 20% 以上では電子障壁が 1 eV 以上になるため、図 26 の斜線部分であれば、電子障壁が 1.0 eV 以上という条件に合うことが分かる。

【0133】

一方、誘電率 ϵ については、A サイトに Ba 、 Sr 、 Ca を用いた場合には、全ての範囲で 20 以上が得られている。但し、A サイトに Mg を含有する場合、 Mg 量が多いとペロブスカイト型物質を形成できなくなり、誘電率が低下する。従って、 Mg の割合は 10% 以下として、例えば Zr 量を増加させつつ、格子定数を小さく抑えた範囲が最適な範囲となる。

【0134】

次に、格子定数について説明する。図 26 においても、 Si 基板の格子定数 5.43 \AA の等高線 $S1$ と、その格子定数に対する上限である 5.511 \AA の等高線 $S2$ をそれぞれ表した。

【0135】

以上の考察の結果、上記した「絶縁膜としての必須 3 条件」を満たす範囲は、無ひずみ Si の場合、図 26 における領域 A である。この領域内で、できる限り図の下方にある方が電子障壁が高くなるので、 $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ 或いは、ここに Zr 量を増加させながら Mg を少量混ぜた物質の薄膜であれば、絶縁膜として性能のよいものが得られるといえる。

【0136】

前述した非特許文献1 (Haeni, Appl. Phys. Lett. 78 p.3292(2001)) においては、図26に表した Sr_2TiO_4 のゲート絶縁膜としての可能性が示唆されている。しかし、図26から分かるように、 Sr_2TiO_4 では電子障壁が十分に高くないため、リーク電流を十分に抑えることができない。

【0137】

また例えば、プラス1%程度のひずみSi基板上へのエピタキシャル成長を考えた場合には、最適な格子定数が大きくなるので、最適な範囲が広がる。プラス1%のひずみを持ったひずみSiの格子定数は5.484オングストロームであり等高線S3により表される。またこの格子定数に対して整合する格子定数5.56オングストロームは、等高線S4により表される。

【0138】

従って、プラス1%のひずみSiに対して適合する領域は、図26の領域Aおよび領域Bであり、ひずみSiに対しては非常に広い領域の物質がゲート絶縁膜として機能することが分る。例えば、 $\text{Ca}_2(\text{Ti}_{0.4}\text{Zr}_{0.6})\text{O}_4$ であれば、電子障壁が1.8eV程度、格子定数が5.526オングストローム、そして誘電率30程度と非常に理想的な薄膜が作成可能である。

【0139】

図27は、図26のZrの代わりにHfをBサイトに採用した場合の格子定数、誘電率、バンドギャップをまとめたグラフ図である。同図においても、図23と同様の格子定数の等高線S1～S6を表した。

【0140】

ZrとHfの差は、格子定数がZrの場合に比べて0.6%程度小さくなることである。つまり、Zrだけの場合に比べて、Hfを用いた場合には、最適領域が多少ずれる点の違いであって、本質的な変化はない。つまり、無ひずみSiに対しては、領域Aがゲート絶縁膜として適合し、プラス1%のひずみSiに対しては、領域Aと領域Bが適合する。

【0141】

また、Bサイトの原子として、Zrを用いた場合とHfを用いた場合には、最

適領域が多少ずれるだけであるので、以下の説明では、H f により置換した場合の説明は省略する。

【0142】

次に、ペロブスカイト構造部分の厚みを増した物質、すなわち $RP_n (A_{n+1}B_nO_{3n+1})$ において、 $n=2$, $n=3$, $n \geq 4$ とした場合について、それぞれ図28、図29、図30にまとめる。また、これらのグラフにおいても、格子定数の等高線 $S_1 \sim S_6$ を表した。

【0143】

誘電率 ϵ に関しては、いずれの場合も十分に大きい、電子障壁 (1 e V 以上) を確保するには、Bサイトの ($Zr + Hf$) の割合が、それぞれ30%以上、40%以上、50%以上であることが必要になる。そして、格子定数は、 $n \geq 2$ においてはペロブスカイト構造の時の格子定数に一致することが第1原理計算からも、実験からも分っている。

【0144】

以上の結果、無ひずみ Si 基板に対しては、 $n \geq 4$ の時には、図30に表したように、 Si 基板上にエピタキシャル成長させた場合は「絶縁膜としての必須3条件」を満たす領域が存在しないことが分かる。 $n=2$ 、3に関しては、図28、図29に表したように、小さな領域ではあるが、最適な領域Aが存在する。

【0145】

一方、ひずみ Si 基板 (プラス1%の場合) の上であれば、適合範囲が大きくなるため、 $n \geq 4$ の時 (図30) にも、最適領域 (領域B) が出現する。この場合、RP型になったために、伝導帯の底から上昇する分のエネルギーはほぼゼロであり、伝導帯の底がそのまま電子障壁に対応することになる。($Zr + Hf$) 量がBサイト量の半分以上であれば電子の障壁が 1.0 e V を超えることになるので、その事実を使って電子障壁を確保することになる。格子定数がペロブスカイト構造の場合に一致するので、図23と同様となり、図23の領域Bに相当するところが、図30に表した $n \geq 4$ の場合の最適領域となる。

【0146】

また、 n が4より大きい場合には、基本的にはペロブスカイト構造の場合 (図

23) に収束して行くと考えればよい。何故なら、RP型において n が無限に大きくなった極限が、ペロブスカイト構造だからである。

【0147】

一方、 $n=2$ では、図28のグラフにおいて下側の約70%の範囲で電子障壁(1eV以上)が得られるようになる。従って、プラス1%のひずみSiの場合には、同図の領域Bの部分がSi基板での最適領域Aからさらに広がった最適領域ということになる。

【0148】

また、 $n=3$ では、図29のグラフにおいて下側の約60%の範囲が電子障壁(1eV以上)が得られる範囲となる。従って、プラス1%のひずみSiの場合には、同図の領域Bの部分がSi基板での最適領域Aからさらに広がった最適領域ということになる。

【0149】

図31は、RP型の絶縁膜を用いたMOSFETを表す模式図である。すなわち、シリコン基板またはひずみシリコン基板161の表面にはソース領域S及びドレイン領域Dが形成されている。そして、これらソース領域及びドレイン領域の間のチャネル領域の上に、上述したRP型の絶縁膜162が設けられ、その上にゲート電極163が設けられている。ゲート絶縁膜162の材料として、図26乃至図30に表した領域Aまたは領域Bの範囲の材料を適宜用いることにより、高速で低消費電力のMOSFETを実現できる。

【0150】

次に、図32及び図33を参照しつつ、Si基板上あるいはひずみSi基板上へのエピタキシャル成長させたゲート絶縁膜であって、「ペロブスカイト型物質 ABO_3 と岩塩構造物質AO層の積層構造(Ruddlesden-Popper型)」であり、かつ、 ABO_3 層が一層のもの(RP1)と2層(RP2)が交互に積層される絶縁膜について説明する。また、これらのグラフにおいても、格子定数の等高線S1~S6を表した。

【0151】

この時、隣あった井戸内部でのエネルギーレベルが異なるために、隣あった井

戸間に相互作用が全く働かなくなり、バンド状態が消失して離散的な準位が出現する。このため、離散的な量子化レベルを用いた量子井戸絶縁膜が作成でき、図 32 に斜線で表した全領域において、非常に高い電子障壁をもった絶縁膜が得られる。

【0152】

また、誘電率 ϵ も、RP2 が混ざることによって RP1 の場合よりも高くなる傾向にあるので、全領域で 20 以上が確保される。よって、格子定数の条件だけにより最適化が可能であり、無ひずみ Si に対しては、領域 A が最適領域となる。但しここで、以下に説明する領域 B と重なっている部分は「A & B」と記した。

【0153】

$\text{Ca}_5(\text{Ti}_{0.5}, \text{Zr}_{0.5})_3\text{O}_{11}$ 、つまり、 $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ と $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_7$ とを交互に積層したものが最適の物質の一つである。

【0154】

プラス 1% 程度のひずみ Si 基板上へのエピタキシャル成長を考えた場合には、最適な格子定数が大きくなるので、最適な領域が領域 A からずれることになる。プラス 1% のひずみを持ったひずみ Si の格子定数は、等高線 S3 により表したように 5.484 オングストロームである。この場合、等高線 S4 の範囲まで適合する。この格子定数に見合った領域は、図 32 の領域 B であり、領域 A と重なった部分は A & B と記してある。ひずみ Si に対しては非常に広い領域の物質がゲート絶縁膜として機能することが分る。

【0155】

$\text{Ca}_5(\text{Ti}_{0.4}\text{Zr}_{0.6})_3\text{O}_{11}$ であれば、電子障壁が 2.5 eV 程度、格子定数が 5.536 オングストローム、そして誘電率 40 程度と非常に理想的な薄膜が作成可能である。

【0156】

図 33 は、Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、電子障壁等をまとめたグラフ図である。Zr と Hf との差は、前述したように、格子定数が Zr の場合に比べて 0.6% 程度小さくなることであり、最適領域

が多少ずれる点が違いであって、本質的な変化はない。

【0157】

図34は、図32及び図33に表した絶縁膜を用いたMOSFETを表す模式図である。すなち、シリコン基板またはひずみシリコン基板171の表面にはソース領域S及びドレイン領域Dが形成されている。そして、これらソース領域及びドレイン領域の間のチャネル領域の上に、上述したRP型の絶縁膜172が設けられ、その上にゲート電極173が設けられている。ゲート絶縁膜172の材料として、図32または図33に表した領域Aまたは領域Bの範囲の材料を適宜用いることにより、高速で低消費電力のMOSFETを実現できる。

【0158】

次に、図35及び図36を参照しつつ、Si基板上あるいはひずみSi基板上にエピタキシャル成長させたゲート絶縁膜であって、「ペロブスカイト型物質 ABO_3 と、2層の岩塩構造物質AO層と、を積層させた構造」の絶縁膜について説明する。また、これらのグラフにおいても、格子定数の等高線S1～S6を表した。

【0159】

この積層構造においては、離散的な準位が出現し、量子化レベルを用いた量子井戸絶縁膜が作成できる。その結果として、図35に斜線で表した全領域において、非常に高い電子障壁をもった絶縁膜が期待される。エネルギー状態が準位化しているので、透過確率が非常に小さくなる点が重要であることは既に説明した通りである。

【0160】

さらに、AO層が2層挿入されている場合には、 ABO_3 の膜厚方向のB—O軸が一致することになる。この軸が一致すると、誘電的な特性が向上し大きな誘電率 ϵ が得られるようになる。このため、やはりグラフの全領域に亘って、誘電率が10以上に達する。この構造においては、 ABO_3 の相が一致しているので、In-Phase (IP)型と称することにする。また、ペロブスカイト型物質 ABO_3 の層数nに応じて「IPn」のように表すことにする。

【0161】

つまり、本具体例は、「IP1構造」と表すことができる。格子定数の適合条件によって、無ひずみSiに対しては、等高線S2とS5との間の領域Aが最適領域となる。但し、ひずみSiに対して適合する領域Bと重なっている部分は「A & B」と表した。

【0162】

IP1型の中でも、時に、 Sr_3TiO_5 や $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_5$ の場合に格子定数がSi基板の格子定数にほぼ一致しており、エピタキシャル成長に最も適した状態になる。この時、誘電率 ϵ もそれぞれ34と20と十分に大きく、ゲート絶縁膜として、最適の物質のひとつといえる。

【0163】

一方、プラス1%程度のひずみSi基板上へのエピタキシャル成長を考えた場合には、最適な格子定数が大きくなるので、最適な領域が領域Aからずれることになる。プラス1%のひずみを持ったひずみSiの格子定数は5.484オングストロームであり等高線S3により表される。その格子定数に適合する範囲は、等高線S4とS6との間であり、領域Bとなる。ここでも、領域Aと重なった部分はA & Bと表した。ひずみSiに対しては非常に広い領域の物質がゲート絶縁膜として機能することが分かる。例えば、 Ba_3TiO_5 や $(\text{Ba}_{0.4}\text{Sr}_{0.6})_3\text{TiO}_5$ であれば、電子障壁が両者とも2.5 eV程度、格子定数がそれぞれ5.56、5.48オングストローム、そして両者とも誘電率 ϵ は40程度となり、非常に理想的なゲート絶縁膜が作成可能である。

【0164】

図36は、Zrの代わりにHfをBサイトに採用した場合の格子定数、誘電率、電子障壁等をまとめたグラフ図である。前述したように、ZrとHfの差は、格子定数がZrの場合に比べて0.6%程度小さくなることである。つまり、最適領域が多少ずれる点が違いであって、本質的な変化はない。

【0165】

IP1型のゲート絶縁膜では、絶縁膜に電圧が加わっていない時には、電子障壁が低くなっていることに注意が必要である。電圧が加わることで隣同士の井戸内のレベルがずれて、大きな電子障壁が形成されるように変化する。これに対し

て、電圧が印加されていない状態において、隣同士の井戸のエネルギーレベルを違う値に設計することもできる。例えばIP1型とIP2型とを組み合わせればよい。これは、図4乃至図9を参照しつつ、2重あるいは3重井戸構造に関して前述した通りである。

【0166】

また、本発明は、IP1型には限定されず、IP2型やIP3型なども包含する。この場合、誘電率 ϵ が上昇すること、格子定数が大きくなること（ほぼペロブスカイト構造の格子定数に一致する）などが、IP1型と比べた変化となる。電子障壁に関しては、IP2型やIP3型では、膜厚が薄い時には隣同士の井戸でエネルギーレベルが大きく変化するので使い易い。

【0167】

図37は、図35及び図36に表した絶縁膜を用いたMOSFETを表す模式図である。すなち、シリコン基板またはひずみシリコン基板181の表面にはソース領域S及びドレイン領域Dが形成されている。そして、これらソース領域及びドレイン領域の間のチャネル領域の上に、上述したIPn型の絶縁膜182が設けられ、その上にゲート電極183が設けられている。ゲート絶縁膜182の材料として、図35または図36に表した領域Aまたは領域Bの範囲の材料を適宜用いることにより、高速で低消費電力のMOSFETを実現できる。

【0168】

次に、図38及び図39を参照しつつ、Si基板上あるいはひずみSi基板上にエピタキシャル成長させたゲート絶縁膜であって、IP1型とIP2型とを交互に積層させた絶縁膜について説明する。

【0169】

この場合にも、離散的な準位が出現し、量子化レベルを用いた量子井戸絶縁膜を作成できる。図38に表した斜線の全領域において、非常に高い電子障壁をもった絶縁膜が得られる。エネルギー状態が準位化しているので、透過確率が非常に小さくなる点は既に説明した通りである。また、誘電率 ϵ は、20以上に達している。

【0170】

格子定数の整合条件により、無ひずみ S_i に対しては、等高線 S_2 と S_5 との間の領域 A が最適領域となる。ここでも、領域 B と重なっている部分は $A \& B$ と表した。特に、 $(Ca_{0.25}, Sr_{0.75})_7Ti_3O_{13}$ の場合に格子定数が S_i 基板の格子定数にほぼ一致しており、エピタキシャル成長に最も適した状態になる。この時、誘電率 ϵ も 50 と十分に大きく、最適の物質のひとつといえる。

【0171】

一方、プラス 1% 程度のひずみ S_i 基板上へのエピタキシャル成長を考えた場合には、最適な格子定数が大きくなるので、最適な領域が領域 A からずれることになる。プラス 1% のひずみを持ったひずみ S_i の格子定数は 5.484 オングストロームであり等高線 S_3 より表される。その格子定数に適合する範囲は、等高線 S_4 と S_6 との間の領域 B である。ここでも、領域 A と重なった部分は $A \& B$ と表した。

【0172】

ひずみ S_i に対しては、非常に広い領域の物質がゲート絶縁膜として機能することが分かる。例えば、 $Sr_7Ti_3O_{13}$ であれば、電子障壁が 2.5 eV 程度、格子定数がそれぞれ 5.47 オングストローム、そして誘電率 ϵ が 55 程度となり、非常に理想的な薄膜が作成可能である。

【0173】

図 39 は、 Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、電子障壁等をまとめたグラフ図である。前述したように、 Zr と Hf の差は、格子定数が Zr の場合に比べて 0.6% 程度小さくなることである。つまり、最適領域が多少ずれる点が違いであって、本質的な変化はない。

【0174】

IP_n 型、あるいは、 $(IP_n + IP_m)$ 型 (n, m 整数) の絶縁膜では、高誘電体層 (井戸層) の軸が揃っているために、漏れ電流が非常に少なく、誘電率 ϵ が高い薄膜が作成できることも分った。この絶縁膜の応用例としては、MIM キャパシタの絶縁膜ということもありうる。また、高誘電体の代わり強誘電体薄膜を考えても、軸が揃っていることによって、強誘電性にも大きな効果があるの

で、漏れ電流の少ない強誘電体薄膜MIMキャパシタを作成することが可能である。

【0175】

実際に、 SrRuO_3 電極の上に Ba_3TiO_5 薄膜を成膜し、上部電極としてまた SrRuO_3 を成膜し、MIMキャパシタ構造を作成した。この時、面内歪みが加わることもあって、大きな分極をもった、漏れ電流の非常に小さい強誘電体MIMキャパシタが作成できた。

【0176】

また、FeRAM（強誘電RAM）向けキャパシタとしては、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ が有名である。この時、 PbO を障壁にできるかということ、実はできない。 Pb の軌道エネルギーが Ti よりも低く、いくら PbO を入れても電子障壁を上昇させることができないからである。しかし、 PbO の代わりに $(\text{Ca}, \text{Sr}, \text{Ba})\text{O}$ を入れることは可能である。この挿入により、電子障壁が上昇し、誘電体層の軸が揃うように工夫すれば、低い漏れ電流であり、大きな分極を持ったMIMキャパシタを作成することが可能である。

【0177】

以上、層状ペロブスカイト物質を用いた絶縁膜の最適な範囲について説明した。幾つかの場合に関して具体的を挙げたが、「隣同士の井戸に同じエネルギーレベルが来ないように」する、「障壁層を厚くとる」などの工夫をしながら井戸内の状態が離散的な準位を形成するようにすることが重要である。そして、それができない場合は、Bサイト物質として Zr や Hf を用いることで、ある程度は使用可能な物質の範囲が広げられることを説明した。ペロブスカイト型とRP型の場合は、Bサイトを工夫することで最適化を図ることが望ましい。もちろん、ここに示した具体例は、ほんの一例に過ぎず、様々な膜構造が考えられる。障壁層の厚さ、井戸層の厚さを様々に変化させながら積層させたものは、多種多様に考えられるが、それら全ては、本発明の範囲に包含される。

【0178】

また、以上の説明においては、絶縁膜を作成する際、①格子定数を基板に対してプラスマイナス1.5%以内にする、②障壁高さが高いこと、③誘電率が大き

いこと、という3点の条件を挙げたが、更に、この絶縁膜と基板との間に絶縁性のバッファ層を挟むことも可能である。この場合、特に重要な点は、バッファ層が一番難しい②の条件を必ずしも満たす必要はないという点である。出来る限り③（高い誘電率）の条件は全体として満たした上で、②の条件はバッファ層の上に積層する絶縁膜が担い、バッファ層には界面特性向上、つまり①の条件を担わせるというように役割分担することが出来るからである。このような構造は、絶縁膜部分が、本特許に従った構成・構造を持っているからこそ可能であることは指摘しておきたい。このバッファ層は、界面特性を向上させたい場合に非常に有効である。

【0179】

電圧が加わったとき、誘電率が高いものをバッファとして用いれば、バッファ層部分での電圧降下は小さめに抑えられるため、障壁層だけの時（すなわち、バッファ層が無い時）よりも第一層目を厚く作成することが可能である。このことによるメリットは大きく、第一層目の表面をより平坦に出来るという効果が得られる。

【0180】

それに対して、バッファ層がない、誘電率の低い障壁層を基板上に直接成長させる場合、障壁層を厚くすると誘電率が小さくなってしまい、それだけでゲート絶縁膜としては使えないことになる。かと言って、障壁層を薄くしすぎると、平坦で均一な膜を作るのが非常に難しく、リーク電流が悪化してしまう。

【0181】

例えば、Si(111)基板上に、量子井戸構造 SrO/CeO₂/SrO/CeO₂/SrO を作成する場合にバッファ層 CeO₂(111) から始めることで、Si(111)面上に良好にエピタキシャル成長する CeO₂ 薄膜直接接合から出発できることになる。Si基板と CeO₂ の格子定数差は1%にも満たず、非常によい界面が形成されと考えられるため、CeO₂ が Si 直上にある構造は有効である。

【0182】

SrO から始めるか、CeO₂ から始めるかという点は、どちらも可能である

が、より界面が綺麗に出来る物質を選ぶことが出来る点がポイントということである。誘電率が高い物質であれば、障壁の高さはその上の量子井戸絶縁膜が担ってくれるので、界面特性だけで選ぶことが可能ということである。

【0183】

ここで、誘電率が高い物質では、障壁が低い傾向にあるという事実がある。上記バッファ層の材料としては、誘電率が高く、格子定数がシリコン基板（あるいはひずみシリコン基板）の格子定数に良く一致しているが、障壁高さがあまり高くないものと考えられてきた材料であって、Si基板に直接エピタキシャル成長させることのできる、高誘電体薄膜材料の全てが候補として挙げられることになる。その代表例としては、 CeO_2 、 YSZ ($\text{Y}_2\text{O}_3 + \text{ZrO}_2$)、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SrTiO_3 、 $\text{Ca}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{F}_2$ などが考えられる。

【0184】

【実施例】

次に、実施例を参照しつつ本発明の実施の形態についてさらに詳細に説明する。単一量子井戸構造または多重量子井戸構造を用いた本発明の絶縁膜は、スパッタ法や、レーザーアブレーション法、化学気相成長法 (CVD) などによっても製造することができるが、以下の実施例では、全て分子線エピタキシー (MBE) 法によって薄膜を成長させた。

【0185】

まず、共通に用いられている分子線エピタキシー装置について説明する。真空容器はクライオポンプにより排気されている。到達真空度は、 10^{-6} パスカル以下であった。真空容器内には基板ホルダが設けられ、この基板ホルダに基板が設置される。基板ホルダはヒーターにより加熱される。基板に対向するように複数のクヌーセンセル (knudsen cell) が設けられており、それぞれのクヌーセンセルの開口部には、セルシャッターが設けられている。各クヌーセンセルには、以下の実施例において成膜される薄膜の構成金属元素である、バリウム (Ba)、ストロンチウム (Sr)、カルシウム (Ca)、セリウム (Ce)、ハフニウム (Hf)、ジルコニウム (Zr)、チタン (Ti)、タンタル (Ta)、ルテ

ニウム (Ru)、ランタン (La)、イットリウム (Y)、ガドリニウム (Gd)、ニオブ (Nb)、バナジウム (V) の各元素の金属が充填されている。

【0186】

また、薄膜を得るために必要とされる酸化反応を起こすために、液体オゾン貯蔵室で気化した純オゾンガスをノズルから噴出して基板に照射できるようにされている。ノズルと基板との間には、必要に応じてオゾンシャッターが挿入される。

【0187】

(第1の実施例)

まず、本発明の第1の実施例として、 $\text{SrO}/\text{CeO}_2/\text{SrO}$ という単一量子井戸構造を有する絶縁膜を用いたMOSFET (MOS型電界効果トランジスタ) について説明する。

【0188】

図10は、本発明の第1の実施例のMOSFETのゲート絶縁膜部分の断面図である。すなわち、本実施例のFETは、シリコン基板11の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜12を介してゲート電極16が設けられている。ゲート絶縁膜は、 SrO 障壁層13、 CeO_2 井戸層14、 SrO 障壁層15を積層させた単一量子井戸構造を有する。

【0189】

以下、この絶縁膜12について、その製造手順に沿ってさらに詳細に説明する。

【0190】

すなわち、主面が(111)のSi基板11の上に、まず、 SrO (111)層13をエピタキシャル成長させた。 SrO 層の厚みはおよそ7.5オングストロームとした。より具体的には、まず、ストロンチウム(Sr)のみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、1/3ML (mono atomic layer: 原子層) 成長させ、その後圧力 10^{-6} パスカル、基板温度は700℃において SrO をオゾンフラックス 1.2×10^{12} 分子/秒 cm^2 にて成膜

を行った。初期の 1/3 ML のストロンチウム (Sr) 層は、この段階で酸化されて SrO 層へと変化した。

【0191】

この 700℃での成膜は、更に 200℃程度の低温でも可能であることが実験により確かめられているが、その後に CeO₂ 成膜で 700℃とするために、700℃での成膜を選択している。CeO₂ の部分が更に低温で成膜可能な物質であれば、あるいは CeO₂ での低温での成膜の可能性が広がってくれば、更に低温での成膜で一連の絶縁膜構造を作成できる。

【0192】

次に、成膜した SrO 膜の上に CeO₂ (111) 層 14 を 4.7 オングストロームだけエピタキシャル成膜させた。この CeO₂ 成膜時の圧力は、 10^{-6} パスカル、基板温度は 700℃であり、オゾンフラックスは 8.8×10^{12} 分子/秒 cm² とした。

【0193】

さらに、この CeO₂ 膜の上に SrO (111) 膜 15 を圧力は 10^{-6} パスカル、基板温度は 700℃、オゾンフラックス 1.2×10^{12} 分子/秒 cm² にて、7.5 オングストロームだけエピタキシャル成長させ、その上にゲート電極 16 として、金 (Au) を蒸着により成膜した。

【0194】

このようにして得られた絶縁膜 12 は、SiO₂ 膜厚に換算した膜厚 (EOT) が 6.5 オングストロームと小さい絶縁膜であった。また、5 MV/cm の電界をかけた時のリーク電流を測定すると、 10^{-4} A/cm² という非常に小さな値が得られた。

【0195】

比較例として、Si 上に CeO₂ のみを成膜した絶縁膜と、SiO₂ 膜のみを成膜した絶縁膜について、EOT における 5 MV/cm でのリーク電流を測定すると、それぞれ、 1 A/cm²、 10^5 A/cm² (外挿値) であった。すなわち、これら比較例の絶縁膜は、本実施例と比較して、リーク電流が 10^4 倍、 10^9 倍にも達していることが分かった。このように、量子井戸構造を絶縁膜

内に作りこんだ効果が非常に大きいことが分かった。

【0196】

また、さらに、SrO膜13、15の代わりに、(Ba, Sr)Oを使っても同様の効果が得られた。この混晶を使うと、格子定数をかなりの範囲で自由に変化させられるので、エピタキシャル成長させる時に、下地基板の格子定数に合わせる事がより容易となる。

【0197】

本実施例では、Si基板上において、(Ba_{0.71}, Sr_{0.29})Oをエピタキシャル成長させたところ、障壁層13、15の膜質が著しく向上した。この薄膜を障壁層として、上記と同じ単一量子井戸型ゲート絶縁膜、すなわち (Ba, Sr)O (9.4オングストローム) / CeO₂ (4.7オングストローム) / (Ba, Sr)O (9.4オングストローム) という構造の量子井戸絶縁膜を構成したところ、EOTは4.3オングストロームとなった。

【0198】

これは、(Ba, Sr)Oの誘電率がSrOに比べて高いことによる効果が非常に大きいことを意味する。5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 10^{-2} A/cm^2 という非常に小さな値が得られた。

【0199】

比較例として、SiO₂膜のみを用いた絶縁膜において、同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると、 10^6 A/cm^2 であり、 10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0200】

(Ba, Sr)Oを用いた場合、SrOに比べて界面のひずみによる界面準位密度を一桁以上減らすことができた。このことの効用はSi上にエピタキシャル成長し易いというだけにとどまらず、界面準位によるトランジスタの移動度低下を抑制できる点で大きい。今回の試作では、トランジスタの移動度は25%以上の改善を示した。

【0201】

(第2の実施例)

次に、本発明の第2の実施例として、 $\text{SrO}/\text{SrTiO}_3$ (以下STOと略することもある) / SrO という単一量子井戸構造を有する絶縁膜を用いたMOSFETについて説明する。

【0202】

図11は、本発明の第2の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0203】

すなわち、本実施例のFETは、シリコン基板21の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜22を介してゲート電極26が設けられている。ゲート絶縁膜は、 SrO 障壁層23、STO井戸層24、 SrO 障壁層25を積層させた単一量子井戸構造を有する。

【0204】

これを製造工程に従って説明する。まず、主面が(001)のSi基板21の上に SrO (001) 層23をエピタキシャル成長させた。 SrO 層23の厚みはおよそ5.2オングストロームとした。具体的には、まず、Srのみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、1/4ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は600℃において SrO をオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行った。初期に成膜したSrの1/4MLは、この段階で酸化され SrO 層へと変化した。

【0205】

次に、その上に SrTiO_3 (001) 層24を3.9オングストロームだけエピタキシャル成膜させた。この時、圧力は 10^{-6} パスカル、基板温度は600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。

【0206】

次に、この SrTiO_3 層24の上に SrO (001) 層25を、膜厚およそ5.2オングストロームだけエピタキシャル成長させた。 SrO 成膜の条件は SrTiO_3 膜の成長条件と同一にすることが可能であったので、全く同じものと

した。その上にゲート電極 26 として、金を蒸着により成膜した。

【0207】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が 4.1 オングストロームと小さいゲート絶縁膜であった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $2 \times 10^{-2} \text{A}/\text{cm}^2$ という非常に小さな値が得られた。

【0208】

比較例として、 SiO_2 膜のみを設けた場合について、同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^6 \text{A}/\text{cm}^2$ であり、 5×10^7 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0209】

(第3の実施例)

次に、本発明の第3の実施例として、 $\text{SrO}/\text{STO}/\text{SrO}/\text{STO}/\text{SrO}$ という 2 重量子井戸構造を有する絶縁膜を設けた MOSFET について説明する。

【0210】

図 12 は、本発明の第3の実施例の MOSFET のゲート絶縁膜の部分の断面図である。

【0211】

すなわち、本実施例の FET は、シリコン基板 31 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 32 を介してゲート電極 38 が設けられている。ゲート絶縁膜は、 SrO 障壁層 33、 STO 井戸層 34、 SrO 障壁層 35、 STO 井戸層 36、 SrO 障壁層 37 をこの順に積層させた 2 重量子井戸構造を有する。

【0212】

これを製造工程に従って説明する。まず、主面が (001) の Si 基板 31 の上に SrO (001) 層 33 をエピタキシャル成長させた。 SrO 層 33 の厚みはおよそ 7.8 オングストロームとした。具体的には、まず、 Sr のみをオゾン

なしで、 10^{-7} パスカル、基板温度は 850°C にて、 $1/4$ ML 成長させ、その後圧力を 10^{-6} パスカル、基板温度は 600°C において SrO をオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行っている。

【0213】

その上に、SrTiO₃ (001) 層 34 を 3.9 オングストロームだけエピタキシャル成膜させた。この時、圧力は 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0214】

この後の SrO 層 35、SrTiO₃ 層 36、SrO 層 37 の成膜は、これらの条件と同様にして行った。

【0215】

すなわち、SrTiO₃ 層 34 の上に SrO (001) 膜 35 を膜厚およそ 5.2 オングストロームだけエピタキシャル成長させ、SrTiO₃ (001) 層 36 を 7.8 オングストロームだけエピタキシャル成膜させた。さらに、この SrTiO₃ 層 36 の上に SrO (001) 層 37 を膜厚およそ 7.8 オングストロームだけエピタキシャル成長させ、その上にゲート電極 38 として、金を蒸着により成膜した。

【0216】

このようにして得られた絶縁膜 32 は、SiO₂ 膜厚に換算した膜厚 (EOT) が 8.3 オングストロームと小さいゲート絶縁膜であった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-6}\text{A}/\text{cm}^2$ という非常に小さな値が得られた。

【0217】

比較例として、SiO₂ 膜のみの絶縁膜において同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^3\text{A}/\text{cm}^2$ であり、 10^9 倍にも達していることから、井戸幅の違う二つの量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが証明された。

【0218】

電圧をかけていった場合に、特殊なケースとして、二つの井戸層 34、36 内

の状態がエネルギー的に一致することがありうる。このような場合はバンドオフセットが低下してしまうので、この点に注意してゲート構造を設計する必要がある。本実施例でいえば、 5.7 MV/cm という電界付近において急激にリーク電流が増える現象がみられた。基本的にこの電界以下で使用するようにすればよい。または、後に第5実施例に関して詳述するような3重井戸構造とすることによって、この状況の回避は可能である。

【0219】

(第4の実施例)

次に、本発明の第4の実施例として、前述した第3実施例の2重量子井戸構造の膜厚を変えた絶縁膜について説明する。

【0220】

すなわち、絶縁膜の積層構造としては、 $\text{SrO/SrTiO}_3/\text{SrO/SrTiO}_3/\text{SrO}$ であり、全ての SrO 層の膜厚は、 5.2 \AA 、全ての SrTiO_3 層の膜厚は 3.9 \AA に統一して作成した。成膜方法は、第3実施例の場合と同じである。

【0221】

本実施例の絶縁膜の場合、電圧印加前にはバンドオフセットが 1 eV 程度であったが、井戸層間に相互作用がほとんど無いため、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 10^{-5} A/cm^2 という非常に小さな値が得られた。すなわち、電圧印加時には、実質バンドオフセットが上昇していることが確認できた。また、 SiO_2 膜厚に換算した膜厚(EOT)は、 6.2 \AA と小さいゲート絶縁膜であった。

【0222】

(第5の実施例)

次に、本発明の第5の実施例として、 $\text{SrO/STO/SrO/STO/SrO/STO/SrO}$ という3重量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

図13は、本発明の第5の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0223】

すなわち、本実施例のFETは、シリコン基板41の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜42を介してゲート電極410が設けられている。ゲート絶縁膜は、SrO障壁層43、STO井戸層44、SrO障壁層45、STO井戸層46、SrO障壁層47、STO井戸層48、SrO障壁層49をこの順に積層させた3重量子井戸構造を有する。

【0224】

これを製造工程に従って説明する。まず、主面が(001)のSi基板31の上にSrO(001)層43をエピタキシャル成長させた。SrO層33の厚みはおよそ5.2オングストロームとした。具体的には、まず、Srのみをオゾンなしで、 10^{-7} パスカル、基板温度は850℃にて、 $1/4$ ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は600℃においてSrOをオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 にて成膜を行った。

【0225】

次に、その上にSrTiO₃(001)層44を3.9オングストロームだけエピタキシャル成膜させた。基板温度は600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0226】

この後のSrO、SrTiO₃、SrO、SrTiO₃、SrOの成膜は、これらの条件を保って行った。すなわち、更にこのSrTiO₃層44の上にSrO(001)層45を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、SrTiO₃(001)層46を7.8オングストロームだけエピタキシャル成膜させた。さらに、このSrTiO₃層46の上にSrO(001)層47を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、その上にSrTiO₃(001)層48を3.9オングストロームだけエピタキシャル成膜させた。さらに、このSrTiO₃層48の上にSrO(001)層49を膜厚およそ5.2オングストロームだけエピタキシャル成長させ、その上にゲート電極410として、金を蒸着により成膜した。

【0227】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) は、8.4 オングストロームと小さいゲート絶縁膜であった。また、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 10^{-6} A/cm^2 という非常に小さな値を得ている。この結果は、前述した実施例とほぼ一致している。

【0228】

比較例として、 SiO_2 膜のみからなる絶縁膜の場合の同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^3 A/cm^2 であり、 10^9 倍にも達していることから、井戸幅の違う 3 つの量子井戸構造を交互に絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0229】

本発明の 3 重井戸の場合、電圧をかけていった場合にも、急激にリーク電流が増える現象は見られなかった。この点が 2 重井戸の場合との違いである。

【0230】

(第 6 の実施例)

次に、本発明の第 6 の例として、本発明の絶縁膜を用いた MIM (金属・絶縁体・金属) キャパシタについて説明する。

【0231】

図 14 は、本実施例の MIM キャパシタの断面図である。この構造について、その製造工程に従って説明する。

【0232】

まず、主面が (001) の SrTiO_3 基板 51 にキャパシタを MBE を用いて作成するが、この時ゲート絶縁膜 52 に構造を持たせた。具体的には、 SrRuO_3 電極 53 を SrTiO_3 基板 51 上にエピタキシャル成長させ、その上に SrO (001) 層 54 をエピタキシャル成長させた。 SrO 層 54 の厚みはおおよそ 5.2 オングストロームとした。

【0233】

次に、その上に SrTiO_3 (001) 層 55 を 3.9 オングストロームだけ

エピタキシャル成膜させた。さらに、この SrTiO_3 層 55 の上に SrO (001) 層 56 を先ほどと同じ膜厚およそ 5.2 オングストロームだけエピタキシャル成長させ、その上に SrRuO_3 電極 57 をエピタキシャル成長させた。

【0234】

全体を通して、圧力 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。

【0235】

このよにして得られたキャパシタは、 SiO_2 膜厚に換算した膜厚 (EOT) は、4.1 オングストロームと小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $2 \times 10^{-2} \text{A}/\text{cm}^2$ という非常に小さな値が得られた。

【0236】

比較例として、 SiO_2 膜のみからなる絶縁膜について、同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^6 \text{A}/\text{cm}^2$ であり、 5×10^7 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0237】

(第 7 の実施例)

次に、本発明の第 7 の実施例として、 Ce -シリケート (silicate) / CeO_2 / SrO という単一量子井戸構造を有する絶縁膜を設けた MOSFET について説明する。

【0238】

図 15 は、本発明の第 7 の実施例の MOSFET のゲート絶縁膜の部分の断面図である。

【0239】

すなわち、本実施例の FET は、シリコン基板 61 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 62 を介してゲート電極 66 が設けられている。ゲート絶縁膜は、 Ce -シリケート (silicate) 障壁層 63、 CeO_2 井戸層 64、 SrO 障壁層 6

5をこの順に積層させた単一量子井戸構造を有する。

【0240】

これを製造工程に従って説明する。まず、主面が(111)のSi基板61の上にCeO₂(111)層64をエピタキシャル成長させた。CeO₂層の厚みはおよそ8.2オングストロームとした。

【0241】

具体的には、まず、Si基板表面をHF処理とNH₄Fにより水素終端し、しかる後にCeO₂を成膜した。圧力は10⁻⁶パスカル、基板温度は700℃、オゾンフラックスは8.8×10¹²分子/秒cm²であった。次に、このCeO₂層の上に、SrO(111)膜65を圧力は10⁻⁶パスカル、基板温度は700℃、オゾンフラックス1.2×10¹²分子/秒cm²にて、7.5オングストロームだけエピタキシャル成長させた。この段階で、800℃30秒の酸素アニールを行った。この時、SiとCeO₂との界面には、Ceシリケート障壁層63が3.5オングストローム程度の厚みに成長し、これを井戸構造の障壁とすることができた。その上にゲート電極66として、金を蒸着により成膜した。

【0242】

このようにして得られた絶縁膜は、SiO₂膜厚に換算した膜厚(EOT)が3.8オングストロームと小さい絶縁膜であった。また、5MV/cmの電界をかけた時のリーク電流を測定すると、3×10⁻²A/cm²という小さな値を得ている。

【0243】

比較例として、SiO₂膜のみからなる絶縁膜において同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると10⁷A/cm²であり、3×10⁸倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0244】

また、CeO₂エピタキシャル成長の代わりに、La₂O₃、Y₂O₃、Gd₂O₃、SrTiO₃などをエピタキシャル成長させた井戸層を用いてもよい。

これらの場合、それぞれ、薄膜障壁層としてLaシリケート、Yシリケート、Gdシリケート、 SiO_2 をアニールによって作ることが可能であり、量子井戸構造を形成できる。いずれの場合も、EOTを4～6オングストローム程度に作成可能であり、リーク電流が $10^{-2} \sim 10^{-4} \text{ A/cm}^2$ 程度の特性が得られている。同じEOTの SiO_2 膜の場合に比べて、 $10^8 \sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0245】

(第8の実施例)

次に、本発明の第8の実施例として、Hf-シリケート (silicate) / HfO_2 / SrO という単一量子井戸構造を有する絶縁膜を設けたMOSFETについて説明する。

【0246】

図16は、本発明の第8の実施例のMOSFETのゲート絶縁膜の部分の断面図である。

【0247】

すなわち、本実施例のFETは、シリコン基板71の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜72を介してゲート電極76が設けられている。ゲート絶縁膜は、Hf-シリケート (silicate) 障壁層73、 HfO_2 井戸層74、 SrO 障壁層75をこの順に積層させた単一量子井戸構造を有する。

【0248】

これを製造工程に従って説明する。まず、主面が(111)のSi基板71の上に HfO_2 層74を成長させた。

【0249】

この時、エピタキシャル成長はせず、アモルファス状態であった。今回はMBE装置を使っているが、層状成長をさせることができるのであれば、例えばCVDも有力な成膜手法となる。 HfO_2 層の厚みはおよそ8.2オングストロームとした。具体的には、まず、Si基板71の表面をHF処理と NH_4F により水素終端し、しかる後に HfO_2 を成膜した。圧力は 10^{-6} パスカル、基板温度

は 700℃、オゾンフラックスは 8.8×10^{12} 分子/秒 cm^2 であった。

【0250】

次に、この HfO_2 層の上に SrO (111) 層 75 を形成した。この際に、圧力は 10^{-6} パスカル、基板温度は 700℃、オゾンフラックス 1.2×10^{12} 分子/秒 cm^2 にて、7.5 オングストロームだけ成長させた。この段階で、800℃で30秒間の酸素中アニールを行った。このアニールによって、 Si 基板 71 と HfO_2 層 74 との界面には Hf シリケート層 73 が 3.5 オングストローム程度の厚みに成長し、これを井戸構造の障壁層とすることができた。その上にゲート電極 76 として、金を蒸着により成膜した。

【0251】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) は、6.8 オングストロームと小さい絶縁膜であった。また、5 MV/cm の電界をかけた時のリーク電流を測定すると、 10^{-4} A/cm^2 という小さな値が得られた。

【0252】

比較例として、 SiO_2 膜のみからなる絶縁膜の同じ EOT における、5 MV/cm でのリーク電流を外挿により求めると 10^5 A/cm^2 であり、 10^9 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0253】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Al_2O_3 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 AlON 、 TaON 、 TiON のアモルファス薄膜を用いても、それぞれ、 Si との界面に薄膜障壁構造として Zr シリケート、 Al シリケート、 Ta シリケート、 Ti シリケート、 Hf シリケート、 Zr シリケート、 Al シリケート、 Ta シリケート、 Ti シリケートをアニールによって作ることが可能であり、井戸構造を作成することが可能であった。

【0254】

さらに、 HfO_2 アモルファス薄膜の代わりに SrTiO_3 、 SrZrO_3

、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても Si との界面に薄膜障壁構造として SiO_2 薄膜を作ることが可能であり、井戸構造を作成することが可能であった。

【0255】

いずれの場合も、EOT を 5 ～ 9 オングストローム程度に作成可能であり、リーク電流が $10^{-2} \sim 10^{-6} \text{ A/cm}^2$ 程度の特徴が得られている。同じ EOT の SiO_2 膜の場合に比べて、 $10^8 \sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたといえる。

【0256】

(第9の実施例)

次に、本発明の第9の実施例として、 $\text{SrO}/\text{Ca}(\text{Ti}, \text{Zr})\text{O}_3$ (以下 CTZO と略す場合がある) / SrO という単一量子井戸構造を有する絶縁膜を設けた MOSFET について説明する。

【0257】

図17は、本発明の第8の実施例の MOSFET のゲート絶縁膜の部分の断面図である。

【0258】

すなわち、本実施例の FET は、ひずみシリコン-SOI (silicon on insulator) 基板 81 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 82 を介してゲート電極 86 が設けられている。ゲート絶縁膜は、 SrO 障壁層 83、CTZO 井戸層 84、 SrO 障壁層 85 をこの順に積層させた単一量子井戸構造を有する。

【0259】

まず、ひずみ Si-SOI の形成方法についてに説明すると以下の如くである。

【0260】

最初に、CVD により Si 基板上に SiGe バッファー層と、応力緩和 SiGe 層を形成した。次に、SIMOX (separation by implanted oxygen) 法に

に m^{-2} とした。
 1 SiGe 層中に
 1350℃の高温
 より応力緩和が起
 素中アニールでS
 にGe濃度の濃縮
 高濃度Geを含
 成長すると、下地
 このようにして

膜82をMBEを
 まずSrO(0
 およそ5.2オン
 処理とNH₄Fに

板温度は200℃
 ヴル、基板温度は
 m^2 を30秒
 2オングストロ

34を3.9オン
 10⁻⁶パスカル
 子/秒 cm^2 であ
 SrO(001)
 ヴル成長させた。
 長条件と同一にす

ることが可能であったので、全く同じものとした。その上にゲート電極 86 として、金を蒸着により成膜した。

【0264】

このようにして得られた絶縁膜 82 は、 SiO_2 膜厚に換算した膜厚 (EOT) が、3.2 オングストロームと小さいゲート絶縁膜であった。また、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-2} \text{ A/cm}^2$ という非常に小さな値が得られた。

【0265】

比較例として、 SiO_2 膜のみからなる絶縁膜について、同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^7 A/cm^2 であり、 2×10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非常に大きいことが確認できた。

【0266】

本実施例によって、量子井戸構造をもったゲート絶縁膜は、ひずみ Si-SOI 基板を使った MOSFET にも適応可能であることが分かった。

【0267】

また、 SrO 膜の代わりに、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ を使うことも可能であった。この混晶を使うと、格子定数をかなりの範囲で自由に変化させられるので、エピタキシャル成長させる時に、下地基板の格子定数に合わせる事が容易となる。上述したひずみ Si 基板上で、 $(\text{Ba}_{0.85}, \text{Sr}_{0.15})\text{O}$ を用いてエピタキシャル成長させてやったところ、障壁の膜質が著しく向上した。この薄膜を障壁層として、上記と同じ井戸型ゲート絶縁膜を構成したところ、EOT は 2.8 オングストロームとなった。 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 $6 \times 10^{-2} \text{ A/cm}^2$ という非常に小さな値を得ている。

【0268】

比較例として、 SiO_2 膜のみを用いた場合の同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると $2 \times 10^7 \text{ A/cm}^2$ であり、 3×10^8 倍にも達していることから、量子井戸構造を絶縁膜内に作りこんだ効果が非

常に大きいことが確認できた。

【0269】

(Ba, Sr)Oを用いた場合、SrOに比べて界面のひずみによる界面準位密度を10分の1以下に減らすことができる。その結果、界面準位によるトランジスタの移動度低下を防ぐことが可能であり、移動度は20%以上の改善を示した。

【0270】

(第10の実施例)

次に、本発明の第10の実施例として、SRO/BSO/BSTO/BSO/SROという単一量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【0271】

図18は、本実施例のMIMキャパシタの断面図である。

【0272】

このMIMキャパシタについて、以下、製造工程に従って説明する。

【0273】

まず、主面が(001)のSi基板91に上に、MBEを用いてSrTiO₃層98をエピタキシャル成長させた。

【0274】

その内容としては、まず、Si基板表面をHF処理とNH₄Fにより水素終端し、しかる後にSrOを成膜した。この成膜は、Srのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は200℃という低温にて、1ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は200℃においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を15秒間照射する。これによりSrO層が1層でき上がる。その上にTiを1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これによりTiO₂膜が1ML成長した。これを繰り返すことで、SrTiO₃薄膜がSi上にエピタキシャル成長した。

【0275】

次に、その上にSrRuO₃電極93をエピタキシャル成長させ、その上に(

$\text{Ba}_{0.75}\text{Sr}_{0.25}\text{O}$ (001) 層 94 をエピタキシャル成長させた。 $(\text{Ba}, \text{Sr})\text{O}$ 層の厚みはおよそ 5.4 オングストロームとした。その上に $(\text{Ba}_{0.2}\text{Sr}_{0.8})\text{TiO}_3$ (001) 層 95 を 3.95 オングストロームだけエピタキシャル成膜させた。さらにこの $(\text{Ba}, \text{Sr})\text{TiO}_3$ 膜の上に $(\text{Ba}_{0.75}\text{Sr}_{0.25}\text{O})$ (001) 層 96 を先ほどと同じ膜厚およそ 5.4 オングストロームだけエピタキシャル成長させ、その上に SrRuO_3 電極 97 をエピタキシャル成長させた。キャパシタ部分の成膜条件としては、圧力 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0276】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が 2.1 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-1}\text{A}/\text{cm}^2$ という小さな値が得られた。

【0277】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $10^8\text{A}/\text{cm}^2$ 以上であり、 10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0278】

特に、障壁層 $(\text{Ba}_{0.75}\text{Sr}_{0.25}\text{O})$ と、薄い量子化された井戸層 $(\text{Ba}_{0.2}\text{Sr}_{0.8})\text{TiO}_3$ の誘電率が非常に大きく、それぞれ 20 以上、500 以上あるため、量子化によってリーク電流が止められるようになることが、非常に有効であることが分かる。

【0279】

比較例として、 $(\text{Ba}_{0.2}\text{Sr}_{0.8})\text{TiO}_3$ の厚みを 32 オングストロームとしたキャパシタを作成した。この時、 SiO_2 膜厚に換算した膜厚 (EOT) は、2.4 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、絶縁破壊

してしまった。このことから、リーク電流は、 10^9 A/cm^2 以上という非常に大きな値に達していると推測される。

【0280】

また、この比較例において、本実施例と同じ EOT における、 5 MV/cm のリーク電流を外挿により求めると 10^8 A/cm^2 であり、かえって性能が落ちていることが分かった。これは、同じ積層構造でありながら、量子井戸においてエネルギーレベルが量子化されていないことが原因であると考えられる。

【0281】

すなわち、この比較例の構造では、井戸内部の零点振動エネルギーは 0.036 eV であり、バンドオフセットの有効な上昇が殆ど得られないと考えられる。また、量子化のレベル間隔も 0.1 eV オーダーであり、室温以上の温度では、エネルギーレベルが互いに重なって、レベルは連続化してしまう。つまり、量子化効果が表れていないような積層構造のキャパシタでは、誘電率の低下は少なからず犠牲にし、膜厚を厚くすることによってリーク電流を止めざるを得ないということが分かった。

【0282】

(第11の実施例)

次に、本発明の第11の実施例として、 $\text{SRO/BSO/BSTO/BSO/BSTO/BSO/SRO}$ という2重量子井戸構造を有する絶縁膜を設けた MIM について説明する。

【0283】

図19は、本実施例の MIM キャパシタの断面図である。

【0284】

この MIM キャパシタについて、以下、製造工程に従って説明する。

【0285】

主面が (001) の Si 基板 101 に上にキャパシタを MBE を用いて作成した。すなわち、第10実施例と同様の方法にて、Si 上にまず SrTiO_3 層 1010 をエピタキシャル成長した。その上に、 SrRuO_3 電極 103 をエピタキシャル成長させ、その上に $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ (001) 層 1

04 をエピタキシャル成長させた。(Ba, Sr)O 層の厚みはおよそ 5.4 オングストロームとした。

【0286】

その上に (Ba_{0.2}, Sr_{0.8})TiO₃ (001) 層 105 を 3.95 オングストロームだけエピタキシャル成膜させた。さらにこの (Ba, Sr)TiO₃ 膜の上に (Ba_{0.75}, Sr_{0.25})O (001) 膜 106 を先ほどと同じ膜厚およそ 5.4 オングストロームだけエピタキシャル成長させた。さらに、その上に (Ba_{0.2}, Sr_{0.8})TiO₃ (001) 層 107 を 7.9 オングストロームだけエピタキシャル成膜させた。さらに、この (Ba, Sr)TiO₃ 膜の上に (Ba_{0.75}, Sr_{0.25})O (001) 膜 108 を先ほどと同じ膜厚およそ 5.4 オングストロームだけエピタキシャル成長させ、その上に SrRuO₃ 電極 109 をエピタキシャル成長させた。

【0287】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 600℃、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0288】

このようにして得られた絶縁膜は、SiO₂ 膜厚に換算した膜厚 (EOT) が、3.3 オングストロームと非常に小さいキャパシタであった。また、5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-3} \text{ A/cm}^2$ という小さな値が得られた。

【0289】

比較例として、SiO₂ 膜のみの場合の同じ EOT における、5 MV/cm のリーク電流を外挿により求めると 10^7 A/cm^2 以上であり、 2×10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0290】

また、さらに本実施例の変形例として、本実施例の 2 重量子井戸構造において、電極 SrRuO₃ を成長する前に、(Ba_{0.75}, Sr_{0.25})O (001) を 5.4 オングストローム、(Ba_{0.2}, Sr_{0.8})TiO₃ (001)

) を 3.95 オングストロームだけエピタキシャル成長し、その上に電極 SrRuO_3 を成長させた、3 重量量子井戸構造の絶縁膜を作成した。

【0291】

この絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が、4.3 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-4} \text{A}/\text{cm}^2$ という小さな値が得られた。

【0292】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $10^6 \text{A}/\text{cm}^2$ 以上であり、 2×10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが分かった。

【0293】

(第 12 の実施例)

次に、本発明の第 12 の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という単一量子井戸構造を有する絶縁膜を設けた MIM について説明する。

【0294】

図 20 は、本実施例の MIM キャパシタの断面図である。

【0295】

この構造について、以下、製造工程に従って説明する。すなわちまず、主面が (001) の Si 基板 111 に上にキャパシタを MBE を用いて作成する。第 10 実施例と同様の方法により、 Si 上にまず SrTiO_3 層 118 をエピタキシャル成長させた。そして、その上に、 SrRuO_3 電極 113 をエピタキシャル成長させ、その上に Al_2O_3 層 114 を層状成長させた。この時、 Al_2O_3 はアモルファス薄膜となっており、 Al_2O_3 層の厚みは 5 オングストロームとした。その上に、 HfO_2 層 115 を 5 オングストロームだけ層状成膜させた。さらに、この HfO_2 膜の上に Al_2O_3 層 116 を、先ほどと同じ膜厚およそ 5 オングストロームだけ層状成長させた。

【0296】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 400°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 であった。すなわち、非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【0297】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が 4.8 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-3}\text{A}/\text{cm}^2$ という小さな値が得られた。

【0298】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $5 \times 10^5\text{A}/\text{cm}^2$ 以上であり、 5×10^8 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0299】

また、本実施例において、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に井戸構造を作成することが可能であった。

【0300】

他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf -シリケート (silicate)、 Zr -silicate、 Ti -silicate アモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、EOT を $4 \sim 9$ オングストローム程度に作成可能であり、リーク電流が $10^{-2} \sim 10^{-6}\text{A}/\text{cm}^2$ 程度の特徴が得られている。同じ EOT の SiO_2 膜の場合に比べて、 $10^8 \sim 10^9$ オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0301】

(第13の実施例)

次に、本発明の第13の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という2重量子井戸構造を有する絶縁膜を設けたMIMについて説明する。

【0302】

図21は、本実施例のMIMキャパシタの断面図である。以下、このキャパシタについて、その製造工程を参照しつつ説明する。

【0303】

まず、主面が(001)のSi基板121に上にキャパシタをMBEを用いて作成する。すなわち、第10実施例と同様の方法にて、Si上にまず SrTiO_3 層1210をエピタキシャル成長させる。その上に SrRuO_3 電極123をエピタキシャル成長させ、その上に Al_2O_3 層124を層状成長させた。この時、 Al_2O_3 はアモルファス薄膜となっており、 Al_2O_3 層の厚みは5オングストロームとした。

【0304】

次に、その上に HfO_2 層125を5オングストロームだけ層状成膜させた。さらに、この HfO_2 層の上に Al_2O_3 層126を先ほどと同じ膜厚およそ5オングストロームだけ層状成長させた。

【0305】

さらに、その上に HfO_2 層127を10オングストロームだけ層状成膜させ、 HfO_2 層の上に Al_2O_3 層128を膜厚およそ5オングストロームだけ層状成長させた。

【0306】

このようにして、MIMキャパシタの絶縁体部分122に2重量子井戸構造を作成した。最後に、 SrRuO_3 電極129を50オングストローム成膜した。キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 400°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 の条件により実施した。非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【0307】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚 (EOT) が 8.1 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $10^{-6}\text{A}/\text{cm}^2$ という小さな値が得られた。

【0308】

比較例として、 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ のリーク電流を外挿により求めると $10^3\text{A}/\text{cm}^2$ 以上であり、 10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが分かった。

【0309】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に 2 重井戸構造を作成することが可能であった。他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf-silicate 、 Zr-silicate 、 Ti-silicate アモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、EOT を 4~10 オングストローム程度に作成可能であり、リーク電流が $10^{-3} \sim 10^{-8}\text{A}/\text{cm}^2$ 程度の特徴が得られている。同じ EOT の SiO_2 膜の場合に比べて、 10^9 オーダーの改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0310】

(第 14 の実施例)

次に、本発明の第 14 の実施例として、 $\text{SRO}/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{HfO}_2/\text{Al}_2\text{O}_3/\text{SRO}$ という 3 重量子井戸構造を有する絶縁膜を設けた MIM について説明する。

【0311】

図22は、本実施例のMIMキャパシタの断面図である。以下、このキャパシタについて、その製造工程を参照しつつ説明する。

【0312】

主面が(001)のSi基板131に上にキャパシタをMBEを用いて作成する。第10実施例と同様の方法にて、Si上にまずSrTiO₃層1312をエピタキシャル成長させる。その上に、SrRuO₃電極133をエピタキシャル成長させ、その上にAl₂O₃層134を層状成長させた。この時、Al₂O₃はアモルファス薄膜となっており、Al₂O₃層の厚みは5オングストロームとした。

【0313】

さらにその上に、HfO₂層135を4オングストロームだけ層状成膜させた。さらに、このHfO₂層の上にAl₂O₃層136を先ほどと同じ膜厚およそ3.7オングストロームだけ層状成長させた。

【0314】

その上にHfO₂層137を8オングストロームだけ層状成膜させ、HfO₂層の上にAl₂O₃層138を膜厚およそ3.7オングストロームだけ層状成長させた。その上に、HfO₂層139を4オングストロームだけ層状成膜させ、HfO₂層の上にAl₂O₃層1310を膜厚およそ3.7オングストロームだけ層状成長させた。

【0315】

このようにして、MIMキャパシタの絶縁体部分132に3重量子井戸構造を作成した。最後に、SrRuO₃電極1311を50オングストローム成膜した。

【0316】

キャパシタ部分の成膜は、圧力10⁻⁶パスカル、基板温度は400℃、オゾンフラックス1.5×10¹²分子/秒cm²であった。非常に低温での成膜であり、キャパシタ作成のプロセスとしても非常に有効である。

【0317】

このようにして得られた絶縁膜は、SiO₂膜厚に換算した膜厚(EOT)が

9. 7 オングストロームと非常に小さいキャパシタであった。また、 5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-8}\text{ A/cm}^2$ 以下という小さな値が得られた。

【0318】

比較例として、 SiO_2 膜の場合の同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^2 A/cm^2 以上であり、 2×10^9 倍以上にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが証明された。

【0319】

また、 HfO_2 アモルファス薄膜の代わりに、 ZrO_2 、 Ta_2O_3 、 TiO_2 やその窒化物 HfON 、 ZrON 、 TaON 、 TiON を用いても、更に SrTiO_3 、 SrZrO_3 、やその混晶 $\text{Sr}(\text{Ti}, \text{Zr})\text{O}_3$ 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $\text{Sr}_2\text{V}_2\text{O}_7$ のアモルファス薄膜を用いても上記のプロセスにより、全く同様に 3 重井戸構造を作成することが可能であった。

【0320】

他方、上記井戸部分の薄膜に対し、障壁部分としても、多様な選択が可能であった。本実施例では、安定性の高い物質として、 $(\text{Ba}, \text{Sr}, \text{Ca})\text{O}$ 、 SiON 、 Hf-silicate 、 Zr-silicate 、 Ti-silicate アモルファス薄膜のそれぞれを上記物質に対し組合せ、試作を行ったが、いずれの場合も、EOT を 8 ~ 10 オングストローム程度に作成可能であり、リーク電流が $10^{-6} \sim 10^{-8}\text{ A/cm}^2$ 以下の特性が得られている。同じ EOT の SiO_2 膜の場合に比べて、 10^9 オーダー以上の改善が見られることから、量子井戸構造の有効性が示されたことになる。

【0321】

以上、本発明の第 1 乃至第 14 の実施例において、井戸層として用いた物質や障壁層として用いた物質は、一つの井戸型絶縁体構造の中で同一でない組合せも試作には含まれており、それでも量子井戸構造を作ることができれば、量子井戸型絶縁膜として機能し、 SiO_2 のみからなる絶縁膜と比較して、リーク電流を桁違いに抑制できることが証明された。

【0322】

本発明の実施の形態によれば、物質の組合せには非常に大きな自由度があることが分かったので、非常に広範囲にわたって、必要となる特性を備える組合せを探すことが可能である。

【0323】

(第15の実施例)

次に、本発明の第15の実施例として、図23、図24に表した領域Bに相当する物質を絶縁膜として設けたMOSFETについて説明する。実際のMOSFET構造の作成例として、 $\text{Ca}(\text{Ti}_{0.4}\text{Zr}_{0.6})\text{O}_3$ の場合について記述するが、この領域B内であれば、誘電率が大きく・リーク電流が小さく・移動度が大きいという特性を有するMOSFETを作ることが可能である。

【0324】

図25は、本発明の実施例のMOSFETのゲート絶縁膜部分の断面図である。

【0325】

すなわち、本実施例のFETは、主面が(001)のひずみシリコン基板151の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜152を介してゲート電極153が設けられている。ゲート絶縁膜は、CaO層がシリコン基板に接する形で形成されており、 $\text{Ca}(\text{Ti}_{0.4}\text{Zr}_{0.6})\text{O}_3$ で表されるペロブスカイト構造の薄膜である。ひずみシリコン基板の作成方法としては、実施例9に記されている方法を採用している。そして、この時のひずみ量は+1%であった。以降の実施例においても、この+1%のひずみ量を有するひずみシリコン基板を用いることにする。以下、簡単に成膜プロセスに関して説明する。

【0326】

まず、主面が(001)のひずみSi基板の上に、MBEを用いてCaO層をエピタキシャル成長させた。まず、Si基板表面をHF処理と NH_4F により水素終端し、しかる後にCaOを成膜した。Si基板の平坦化は多くの処理を含んでいるが、ここで用いたSi基板の平坦性はゲート絶縁膜の全領域で原子ステップ

が現れない程度にまで処理されている。ゲート絶縁膜の領域は今後も小さくなる方向であるので、平坦化処理は現在の処理法で十分である。

【0327】

このCaO薄膜の成膜は、Caのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は 200°C という低温にて、1ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は 200°C においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を15秒間照射する。これによりCaO層が1層でき上がる。その上にTi: Zr=0.4:0.6となるように金属(Ti, Zr)を1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これにより(Ti_{0.4}Zr_{0.6})O₂膜が1ML成長した。これを繰り返すことで、Ca(Ti_{0.4}Zr_{0.6})O₃薄膜がひずみSi基板上にエピタキシャル成長した。

【0328】

このようにして、最終的にはCa(Ti_{0.4}Zr_{0.6})O₃薄膜を実膜厚で51オングストロームだけエピタキシャル成膜させた。誘電率はおよそ40であるので、SiO₂膜厚に換算した膜厚(EOT)が5.0オングストロームと小さいゲート絶縁膜であった。また、5MV/cmという大きな電界をかけた時のリーク電流を測定すると、 8×10^{-2} A/cm²という非常に小さな値が得られた。これは、実膜厚が51オングストロームと厚いことがかなり効いている。

【0329】

比較例として、SiO₂膜のみの絶縁膜において同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると 5×10^5 A/cm²であり、 6×10^6 倍にも達していることから、Ca(Ti_{0.4}Zr_{0.6})O₃薄膜絶縁膜が有効であることが証明された。また、(Sr_{0.5}, Ca_{0.5})TiO₃薄膜の場合、SrTiO₃の場合と同じオーダーのリーク電流が流れてしまう。つまり、(Sr_{0.5}, Ca_{0.5})TiO₃薄膜は、格子定数は+1%のひずみSi基板の格子定数によく一致をしているが、電子障壁が殆どないことが証明された。

【0330】

次に、ゲート絶縁膜の格子定数が基板の格子定数と一致していることの効果を調べた。界面電荷トラップ密度 D_{it} (cm^{-2}/eV) をもとめると、 $4 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ とかなり低い値であった。最近の SiO_2/Si 界面の最良のものでは、この値は $10^{10} \text{ cm}^{-2}/\text{eV}$ を下まわるところまで来ており、それには及ばないもののかなり良い値である。この結果、ひずみ Si 基板を用いている効果と相まって、移動度は最大で $750 (\text{cm}^2/\text{Vs})$ が実現された。この値は、格子定数がプラス 1 % 程度大きいことから考えると非常によい値である。格子定数をより合わせることができれば、更により値が期待できるが、ペロブスカイト構造では、図 23、図 24 に表したように、電子障壁が確保できないため MOSFET 向けのゲート絶縁膜としては、格子定数を一致させることはできないことになる。

【0331】

これに対して、以下に説明する、実施例 16 以降では、格子定数をよく一致させることができるようになるので、移動度がどのように変化するかを説明できる。ゲート絶縁膜の格子定数が基板格子定数のプラス 1.5 % を超えると、急激に界面電荷トラップが増え、格子定数がプラス 2 % では、 $10^{14} \text{ cm}^{-2}/\text{eV}$ に達してしまう。そのため、ゲート絶縁膜の格子定数は +1.5 % までに留める必要がある。

【0332】

(第 16 の実施例)

次に、本発明の第 16 の実施例として、図 26 に表した領域 A 或いは領域 B に相当する物質を絶縁膜として設けた MOSFET について説明する。

【0333】

図 27 は、Hf を導入した結果を表すが、以下の実施例では並行して MOSFET を作成し、比較した結果、Zr の場合とほとんど差はなかった。

【0334】

図 26 では、領域 A はシリコン基板上へのエピタキシャル成長を、領域 B はプラス 1 % ひずみシリコン基板上へのエピタキシャル成長を考えた場合の最適物質の範囲を表す。本実施例 16 では、実際の MOSFET 構造の作成例として、C

$\text{Ca}_2(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_4$ の場合について説明する。シリコン基板上での場合と、プラス 1% ひずみシリコン基板上での場合を本実施例として以下に説明する。誘電率が大きく、リーク電流が小さく、移動度が大きいという特性を有する MOSFET を作ることが可能であった。

【0335】

図 28 は、本発明の実施例の MOSFET のゲート絶縁膜部分の断面図である。基板のひずみが増加しても、構造は同じであるので、シリコン基板あるいは、プラス 1% ひずみシリコン基板の場合を表す。

【0336】

すなわち、本実施例の FET は、主面が (001) のシリコン基板あるいはひずみシリコン基板 161 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜 162 を介してゲート電極 163 が設けられている。ゲート絶縁膜は、 CaO 層がシリコン基板に接する形で形成されており、 $\text{Ca}_2(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_4$ で表される RP 型構造の薄膜である。ペロブスカイト部分の厚みが 1 層分であり、RP 型構造の指数は 1 であり、RP1 型の薄膜である。

【0337】

ひずみシリコン基板の作成方法としては、実施例 9 に関して前述した方法を採用した。そして、この時のひずみ量はプラス 1% であった。以降の実施例においても、このプラス 1% のひずみ量を有するひずみシリコン基板を用いる。以下、簡単に成膜プロセスに関して説明する。

【0338】

まず、主面が (001) のシリコン基板上及び、ひずみシリコン基板上に、MBE を用いて CaO 層をエピタキシャル成長させた。Si 基板表面、およびひずみ Si 基板表面を HF 処理と NH_4F により水素終端し、しかる後に CaO を成膜した。基板の平坦化は多くの処理を含んでいるが、ここで用いた基板の平坦性はゲート絶縁膜の全領域で原子ステップが現れない程度にまで処理されている。ゲート絶縁膜の領域は今後も小さくなる方向であるので、平坦化処理は現在の処理法で十分である。

【0339】

このCaO薄膜の成膜は、Caのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は 200°C という低温にて、2ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は 200°C においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を30秒間照射する。これによりCaO層が2層でき上がる。その上にTi:Zr=0.5:0.5となるように金属(Ti, Zr)を1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これにより(Ti_{0.5}Zr_{0.5})O₂膜が1ML成長した。これを繰り返すことで、Ca₂(Ti_{0.5}Zr_{0.5})O₄薄膜がシリコン基板上、及び、ひずみシリコン基板上にエピタキシャル成長した。

【0340】

このようにして、最終的にはCa₂(Ti_{0.5}Zr_{0.5})O₄薄膜を実膜厚で51オングストロームだけエピタキシャル成膜させた。誘電率はおよそ31であるので、SiO₂膜厚に換算した膜厚(EOT)が6.6オングストロームと小さいゲート絶縁膜であった。また、5MV/cmという大きな電界をかけた時のリーク電流を測定すると、ひずみシリコン基板上では $4 \times 10^{-2} \text{A/cm}^2$ という非常に小さな値が得られた。これは、実膜厚が51オングストロームと厚いことがかなり効いている。ひずみのないシリコン基板上では、少なからずリークが増加してしまい、2倍の $8 \times 10^{-2} \text{A/cm}^2$ という値になった。これは界面電荷トラップの増加に伴う荒れが原因である。

【0341】

比較例として、SiO₂膜のみの絶縁膜において同じEOTにおける、5MV/cmでのリーク電流を外挿により求めると 10^5A/cm^2 であり、ひずみシリコン基板上で 2.5×10^6 倍にも達していることから、Ca₂(Ti_{0.5}Zr_{0.5})O₄薄膜絶縁膜が有効であることが証明された。

【0342】

また、Sr₂TiO₄薄膜の場合、同じEOTにおいてSiONの場合にくらべて1桁程度の改善にとどまる。つまり、Sr₂TiO₄薄膜では、格子定数は+1%のひずみSi基板の格子定数によく一致をしているが、電子障壁が十分に

は改善されてないことが証明されたことになる。

【0343】

次に、ゲート絶縁膜の格子定数が基板の格子定数と一致していることの効果を調べた。ひずみシリコン基板上に作成したMOSFETに関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) を求めると、 $1.011 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ とかなり低い値であった。最近の SiO_2/Si 界面の最良のものではこの値は $1.010 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ を下まわるところまで来ており、それには及ばないもののかなり良い値である。この結果、ひずみSi基板を用いている効果と相まって、移動度は最大で $850 \text{ cm}^2/\text{Vs}$ が実現された。この値は、格子定数がひずみシリコン基板の格子定数に一致しているために得られた非常によい値と言える。これに対し、ひずみを入れないシリコン基板上でのMOSFETに関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) をもとめると、 $4 \times 1.011 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ というものであった。この値は格子定数のずれが1%程度あるために起こった値であるが、それでも非常に良い値と言える。この結果、無ひずみのSi基板を用いているためひずみによる移動度上昇はないが、移動度は最大で $435 \text{ cm}^2/\text{Vs}$ が実現された。この値は、格子定数がシリコン基板の格子定数から1%程度ずれていることを考慮すると良い値といえる。

【0344】

シリコン基板上であっても、格子定数をより合わせることができれば、更により良い値が期待できる。RP1型構造では、図24(a), 図24(b)にあるように、電子障壁が確保できる条件を満たすには、たとえば $\text{Ca}_{0.25}\text{Zr}_{0.75}\text{O}_4$ 薄膜を形成すればよいことになる。この場合移動度を測定すると確かに最大で $505 \text{ cm}^2/\text{Vs}$ が実現されている。

【0345】

ゲート絶縁膜の格子定数が基板格子定数のプラス1.5%を超えると、急激に界面電荷トラップが増え、格子定数が+2%では、 $1.015 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ に達してしまう。そのため、ゲート絶縁膜の格子定数はプラス1.5%までに留める必要がある。

【0346】

図28, 図29に表したように、 RP_n ($n=2, 3, 4, \dots$) 型のゲート絶縁膜でも全く同じように、図示された最適範囲の物質を使用すれば、上記と同じオーダーのリーク特性の改善が見られ、移動度の最大値もひずみシリコン基板上では $850 \sim 700 \text{ cm}^2/\text{Vsec}$ 、無ひずみシリコン基板上では $505 \sim 400$ 程度が得られる。ゲート絶縁膜の格子定数と基板の格子定数の差が1.5%を超えると、急激に界面電荷トラップが増え、プラス2%では、 $10^{14} \text{ cm}^{-2}/\text{eV}$ に達してしまい、移動度もひずみシリコン基板上ですら、 $225 \text{ cm}^2/\text{Vsec}$ 以下に急減してしまう。

【0347】

(第17の実施例)

次に、本発明の第17の実施例として、図32に表した領域A或いは領域Bに相当する物質を絶縁膜として設けたMOSFETについて説明する。図33は、Hfを導入した場合を表すが、以下の実施例では並行してMOSFETを作成し、比較した結果、Zrの場合とほとんど差はなかった。

【0348】

図32では、領域Aはシリコン基板上へのエピタキシャル成長を、領域Bはプラス1%ひずみシリコン基板上へのエピタキシャル成長を考えた場合の最適物質の範囲を表す。

【0349】

本実施例17では、実際のMOSFET構造の作成例として、 $\text{Ca}_5(\text{Ti}_{0.5}, \text{Zr}_{0.5})_3\text{O}_{11}$ 、つまり、 $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ と $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_7$ を交互に積層した場合について説明する。シリコン基板上の場合と、プラス1%ひずみシリコン基板の上の場合を本実施例として以下に説明する。誘電率が大きく、リーク電流が小さく、移動度が大きいという特性を有するMOSFETを作ることが可能であった。

【0350】

図34は、本発明の実施例のMOSFETのゲート絶縁膜部分の断面図である。基板のひずみが変わっても、構造は同じであるので、シリコン基板あるいは、プラス1%ひずみシリコン基板の場合を併せて表した。

【0351】

すなわち、本実施例のFETは、主面が(001)のシリコン基板或いはひずみシリコン基板171の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜172を介してゲート電極173が設けられている。ゲート絶縁膜は、CaO層がシリコン基板に接する形で形成されており、 $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ 及び $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_7$ で表されるルドゥルスデン・ポッパー(RP)型構造を交互に積層した薄膜である。

【0352】

ペロブスカイト部分の厚みが1層分あるいは2層分であり、RP型構造の指数は1あるいは2である。つまりRP1型とRP2型の交互積層薄膜である。ひずみシリコン基板の作成方法としては、実施例9に関して前述した方法を採用した。そして、この時のひずみ量はプラス1%であった。以降の実施例においても、この+1%のひずみ量を有するひずみシリコン基板を用いることにする。以下、簡単に成膜プロセスに関して説明する。

【0353】

まず、主面が(001)のシリコン基板上及び、ひずみシリコン基板上に、MBEを用いてCaO層をエピタキシャル成長させた。Si基板表面、およびひずみSi基板表面をHF処理とNH₄Fにより水素終端し、しかる後にCaOを成膜した。基板の平坦化は多くの処理を含んでいるが、ここで用いた基板の平坦性はゲート絶縁膜の全領域で原子ステップが現れない程度にまで処理されている。ゲート絶縁膜の領域は今後も小さくなる方向であるので、平坦化処理は現在の処理法で十分である。

【0354】

このCaO薄膜の成膜は、Caのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は200℃という低温にて、2ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は200℃においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を30秒間照射する。これによりCaO層が2層でき上がる。その上にTi:Zr=0.5:0.5となるように金属(Ti, Zr)を1ML成長さ

せた後、上記と同じオゾンフラックスを20秒間照射した。これにより ($\text{Ti}_{0.5}\text{Zr}_{0.5}\text{O}_2$) 膜が1ML成長した。

【0355】

次に、上記の通り、CaO層を2ML作成した後、 $\text{Ti}:\text{Zr}=0.5:0.5$ となるように金属 (Ti , Zr) を2ML成長させた後、上記と同じオゾンフラックスを40秒間照射した。これにより ($\text{Ti}_{0.5}\text{Zr}_{0.5}\text{O}_2$) 膜が2ML成長した。あとは、これを繰り返すことで、RP1型とRP2型の交互積層薄膜がシリコン基板上、及び、ひずみシリコン基板上にエピタキシャル成長した。

【0356】

このようにして、最終的には $\text{Ca}_2(\text{Ti}_{0.5}\text{Zr}_{0.5}\text{O}_4)$ 薄膜を実膜厚で52オングストロームだけエピタキシャル成膜させた。誘電率はおよそ45であるので、 SiO_2 膜厚に換算した膜厚 (EOT) が4.5オングストロームと小さいゲート絶縁膜であった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、ひずみシリコン基板上では $1.2 \times 10^{-3} \text{A}/\text{cm}^2$ という非常に小さな値が得られた。これは、実膜厚が52オングストロームと厚いことがかなり効いている。

【0357】

しかし、それにも増して、RP1+RP2と交互に積層したことによって井戸構造ができ、井戸内部の準位が完全に離散化したために、電子障壁が大きく上昇したことが効果として大きい。ひずみのないシリコン基板上では、少なからずリークが増加してしまい、2倍の $2.5 \times 10^{-3} \text{A}/\text{cm}^2$ という値になった。これは界面電荷トラップの増加に伴う荒れが原因である。

【0358】

比較例として、 SiO_2 膜のみの絶縁膜において同じEOTにおける、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $8 \times 10^5 \text{A}/\text{cm}^2$ であり、ひずみシリコン基板上で 6.7×10^8 倍にも達していることから、RP1+RP2と交互に積層したことによってできた多重井戸構造ゲート絶縁膜が非常に有効であることが証明された。

【0359】

次に、ゲート絶縁膜の格子定数が基板の格子定数と一致していることの効果を調べた。ひずみシリコン基板上に作成したMOSFETに関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) を求めると、 $2 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ とかなり低い値であった。最近の SiO_2/Si 界面の最良のものではこの値は $10^{10} \text{ cm}^{-2}/\text{eV}$ を下まわるところまで来ており、それには及ばないもののかなり良い値である。この結果、ひずみ Si 基板を用いている効果と相まって、移動度は最大で $800 (\text{cm}^2/\text{Vs})$ が実現されている。この値は、格子定数がひずみシリコン基板の格子定数に対し0.5%程度しか差がないために得られた非常によい値と言える。

【0360】

これに対し、ひずみを入れないシリコン基板上でのMOSFETに関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) をもとめると、 $8 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ というものであった。この値は格子定数のずれが1.5%程度あるために起こった値であるが、それでも非常に良い値と言える。この結果、無ひずみの Si 基板を用いているためひずみによる移動度上昇はないが、移動度は最大で $400 (\text{cm}^2/\text{Vs})$ が実現されている。この値は、格子定数がシリコン基板の格子定数から1.5%程度ずれていることを考慮すると良い値といえる。

【0361】

シリコン基板上であっても、格子定数をより合わせることができれば、更により良い値が期待できる。RP1+RP2型構造では、離散的なエネルギーレベルが形成され、井戸構造ができるので、電子障壁はこの構造を保つ限り確保できる。よって、格子定数だけを考えればよく、たとえば $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ 及び $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_7$ で表されるRP型構造を交互に積層した薄膜、或いは、 $(\text{Ca}_{0.4}, \text{Sr}_{0.6})_2\text{TiO}_4$ 及び $(\text{Ca}_{0.4}, \text{Sr}_{0.6})_3\text{Ti}_2\text{O}_7$ で表されるRP型構造を交互に積層した薄膜であれば、格子定数がシリコン基板と一致するため、高い移動度を示すMOSFET (前者が $505 \text{ cm}^2/\text{Vs}$ 、後者が $455 \text{ cm}^2/\text{Vs}$

ec) を作成することが可能であった。後者の方が一割程度性能が低下しているが、これは、界面を構成する物質が $(\text{Ca}_{0.4}, \text{Sr}_{0.6})\text{O}$ であるため、 CaO の時に比べて、界面に荒れができていたためである。しかし、格子定数の差の効果の方がはるかに重要であり、 $(\text{Ca}_{0.4}, \text{Sr}_{0.6})\text{O}$ が混晶であることのデメリットは、 CaO 膜の作成プロセスと全く同じように作れば、殆どないと言ってよい。

【0362】

ゲート絶縁膜の格子定数が基板格子定数のプラス 1.5% を超えると、急激に界面電荷トラップが増え、格子定数がプラス 2% では、 $10^{14} \text{ cm}^{-2} / \text{eV}$ に達してしまう。そのため、ゲート絶縁膜の格子定数は +1.5% までに留める必要がある。この点は、シリコン基板上、或いはひずみシリコン基板上に岩塩構造の薄膜を作成する場合の要請であると考えてよい。岩塩構造であれば、 $(\text{Ca}_{0.4}, \text{Sr}_{0.6})\text{O}$ などの混晶膜でも同じで、良質の界面を作成するためには、基板との格子定数差が 1.5% 以内であることが必要である。

【0363】

ここでは、ひずみシリコン基板上では $\text{Ca}_2(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_4$ 及び $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_7$ の積層構造が有望であることを例に示したが、その他、 Sr_2TiO_4 及び $\text{Sr}_3\text{Ti}_2\text{O}_7$ の積層構造なども有望である。特に B サイトとして、Zr や Hf を使う場合には、MBE 成長において K セルの温度を高温にする必要があるため、Ti のみの成膜の方が容易である。その意味では Sr_2TiO_4 及び $\text{Sr}_3\text{Ti}_2\text{O}_7$ の積層構造はより効果的と言える。この点は、その他の実施例においても言えることである。これは、MBE 成膜の容易さにかかわることであるので、シリコン基板上にひずみがあっても無くても、B サイトが Ti だけの物質であれば、それだけ効果的であるという意味である。

【0364】

(第 18 の実施例)

次に、本発明の第 18 の実施例として、図 35 に表した領域 A 或いは領域 B に相当する物質を絶縁膜として設けた MOSFET について説明する。図 36 は H

fを導入しているが、以下の実施例では並行してMOSFETを作成し、比較した結果、Zrの場合とほとんど差はなかった。

【0365】

図35では、領域Aはシリコン基板上へのエピタキシャル成長を、領域Bはプラス1%ひずみシリコン基板上へのエピタキシャル成長を考えた場合の最適物質の範囲を表している。本実施例18では、実際のMOSFET構造の作成例として、 Sr_3TiO_5 の場合について説明する。シリコン基板上の場合と、プラス1%ひずみシリコン基板の上の場合を本実施例として以下に記す。誘電率が大きく・リーク電流が小さく・移動度が大きいという特性を有するMOSFETを作ることが可能であった。

【0366】

図37は、本発明の実施例のMOSFETのゲート絶縁膜部分の断面図である。基板のひずみが変わっても、構造は同じであるので、シリコン基板あるいは、+1%ひずみシリコン基板の場合を描いている。

【0367】

すなわち、本実施例のFETは、主面が(001)のシリコン基板或いはひずみシリコン基板181の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜182を介してゲート電極183が設けられている。ゲート絶縁膜は、 SrO 層がシリコン基板に接する形で形成されており、 Sr_3TiO_5 で表される「インフェーズ構造」の薄膜である。「インフェーズ構造」においては、前述したように、 AO が2層挿入されている場合には、 ABO_3 の膜厚方向のB—O軸が一致することになる。つまり ABO_3 の相が膜厚方向に一致している。また、ペロブスカイト型物質 ABO_3 の層数nに応じてIPnのように表すので、ここではIP1構造ということになる。ひずみシリコン基板の作成方法としては、実施例9に記されている方法を採用している。そして、この時のひずみ量は+1%であった。以降の実施例においても、この+1%のひずみ量を有するひずみシリコン基板を用いることにする。以下、簡単に成膜プロセスに関して説明する。

【0368】

まず、主面が(001)のシリコン基板上及び、ひずみシリコン基板上に、MBEを用いてSrO層をエピタキシャル成長させた。Si基板表面、およびひずみSi基板表面をHF処理とNH₄Fにより水素終端し、しかる後にCaOを成膜した。基板の平坦化は多くの処理を含んでいるが、ここで用いた基板の平坦性はゲート絶縁膜の全領域で原子ステップが現れない程度にまで処理されている。ゲート絶縁膜の領域は今後も小さくなる方向であるので、平坦化処理は現在の処理法で十分である。

【0369】

このSrO薄膜の成膜は、Srのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は200℃という低温にて、3ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は200℃においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を45秒間照射する。これによりSrO層が3層でき上がる。その上にTi金属を1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これによりTiO₂膜が1ML成長した。これを繰り返すことで、Sr₃TiO₅薄膜がシリコン基板上、及び、ひずみシリコン基板上にエピタキシャル成長した。

【0370】

このようにして、最終的にはSr₃TiO₅薄膜を実膜厚で60オングストロームだけエピタキシャル成膜させた。誘電率はおよそ34であるので、SiO₂膜厚に換算した膜厚(EOT)が6.9オングストロームと小さいゲート絶縁膜であった。また、5MV/cmという大きな電界をかけた時のリーク電流を測定すると、シリコン基板上では 5×10^{-6} A/cm²という非常に小さな値が得られた。これは、実膜厚が60オングストロームと厚いことがかなり効いている。しかし、それにも増して、RP1構造膜では井戸構造ができ、井戸内部の準位が完全に離散化したために、電子障壁が大きく上昇したことが一番効果として大きい。ひずみシリコン基板上では、少なからずリークが増加してしまい、2倍の 10^{-5} A/cm²という値になった。これは界面電荷トラップの増加に伴う荒れが原因である。

【0371】

比較例として、 SiO_2 膜のみの絶縁膜において同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると 10^5 A/cm^2 であり、シリコン基板上で 2×10^{10} 倍にも達していることから、 Sr_3TiO_5 薄膜絶縁膜が有効であることが証明された。

【0372】

次に、ゲート絶縁膜の格子定数が基板の格子定数と一致していることの効果を調べた。シリコン基板上に作成した MOSFET に関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) をもとめると、 $10^{11}\text{ cm}^{-2}/\text{eV}$ とかなり低い値であった。最近の SiO_2/Si 界面の最良のものではこの値は $10^{10}\text{ cm}^{-2}/\text{eV}$ を下まわるところまで来ており、それには及ばないもののかなり良い値である。

【0373】

この結果、移動度は最大で $500\text{ (cm}^2/\text{Vs)}$ が実現された。この値は、格子定数がシリコン基板の格子定数に一致しているために得られた非常によい値と言える。これに対し、ひずみシリコン基板上での MOSFET に関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) をもとめると、 $4 \times 10^{11}\text{ cm}^{-2}/\text{eV}$ というものであった。この値は格子定数のずれが 1% 程度あるために起こった値であるが、それでも非常に良い値と言える。この結果、ひずみ Si 基板を用いているためひずみによる移動度上昇効果もあり、移動度は最大で $750\text{ (cm}^2/\text{Vs)}$ が実現されている。この値は、格子定数がひずみシリコン基板の格子定数から 1% 程度ずれていることを考慮すると良い値と言える。

【0374】

ひずみシリコン基板上であっても、格子定数をより合わせることができれば、更により値が期待できる。IP1 型構造では、図 26 (a), 図 26 (b) にあるように、電子障壁が確保できる条件を満たすには、たとえば $\text{Ca}_3(\text{Ti}_{0.7}\text{Zr}_{0.3})\text{O}_5$ 薄膜、 $\text{Sr}_3(\text{Ti}_{0.2}\text{Zr}_{0.8})\text{O}_5$ 薄膜、 $(\text{Ba}_{0.6}\text{Sr}_{0.4})_3\text{TiO}_5$ 薄膜などを形成すればよいことになる。この場合移動度を測定すると確かに、それぞれ最大で 850、850、840 (cm^2/Vs) が実現されている。

【0375】

ゲート絶縁膜の格子定数が基板格子定数のプラス1.5%を超えると、急激に界面電荷トラップが増え、格子定数がプラス2%では、 $10^{15} \text{ cm}^{-2} / \text{eV}$ に達してしまう。そのため、ゲート絶縁膜の格子定数はプラス1.5%までに留める必要がある。

【0376】

IPn (n=2, 3, 4, ...) 型のゲート絶縁膜でも全く同じように、最適物質を使用すれば、上記と同じオーダーのリーク特性の改善が見られ、移動度の最大値もひずみシリコン基板上では $850 \sim 700 \text{ cm}^2 / \text{Vs ec}$ 、無ひずみシリコン基板上では $505 \sim 400$ 程度が得られる。ゲート絶縁膜の格子定数と基板の格子定数の差が1.5%を超えると、急激に界面電荷トラップが増え、+2%では、 $10^{14} \text{ cm}^{-2} / \text{eV}$ に達してしまい、移動度もひずみシリコン基板上ですら、 $225 \text{ cm}^2 / \text{Vs ec}$ 以下に急減してしまう。

【0377】

さらに進めて、障壁部分の厚みが更に大きくなった場合も考えられる。構造としては、井戸構造が実現されることになり、電子障壁の観点からは非常に理想的な物質群になる。よってこの場合は基本的に格子定数の大きさが基板の格子定数のプラスマイナス1.5%以内に入っているか否かによって判断することになる。

【0378】

井戸構造ができている場合には、井戸内部に電子・正孔が閉じ込められることになるので、膜厚がそれ程必要ではなくなる。誘電率としては、勿論20程度以上あれば理想的ではあるものの、膜全体で10程度あれば使用可能と考えられる。障壁の厚みが増すと、膜全体の誘電率が低くなる方向であるので問題と思われたが、誘電率が10程度でよいのであれば、障壁がある程度厚くなった場合も絶縁膜として使用できることになる。全ての構造を示すことはできないが、更に障壁層を3層以上（井戸部分に関しても様々に変化させた）にした場合の試作・考察も行った。実際に誘電率が多少落ちるものの、リーク特性などには、全く問題は生じなかった。問題は、あまり厚い障壁を作ると、小さなEOTを持つ、多重

量子井戸構造そのものが作成できなくなるということである。

【0379】

(第19の実施例)

次に、本発明の第19の実施例として、図38に表した領域A或いは領域Bに相当する物質を絶縁膜として設けたMOSFETについて説明する。図39はHfを導入した場合を表すが、以下の実施例では並行してMOSFETを作成し、比較した結果、Zrの場合とほとんど差はなかった。

【0380】

図38では、領域Aはシリコン基板上へのエピタキシャル成長を、領域Bはプラス1%ひずみシリコン基板上へのエピタキシャル成長を考えた場合の最適物質の範囲を表している。本実施例19では、実際のMOSFET構造の作成例として、 $\text{Sr}_7\text{Ti}_3\text{O}_{13}$ 、つまり、 Sr_3TiO_5 と $\text{Sr}_4\text{Ti}_2\text{O}_8$ を交互に積層した場合について説明する。シリコン基板上での場合と、プラス1%ひずみシリコン基板の上での場合を本実施例として以下に説明する。誘電率が大きく・リーク電流が小さく・移動度が大きいという特性を有するMOSFETを作ることが可能であった。

【0381】

図40は、本発明の実施例のMOSFETのゲート絶縁膜部分の断面図である。ここでも、基板のひずみが変化しても、構造は同じであるので、シリコン基板あるいは、プラス1%ひずみシリコン基板の場合を併せて表した。

【0382】

すなわち、本実施例のFETは、主面が(001)のシリコン基板或いはひずみシリコン基板191の表面部分に、ソース領域S、ドレイン領域Dが形成され、これらの間に形成されたチャネル領域の上にゲート絶縁膜192を介してゲート電極193が設けられている。ゲート絶縁膜は、 SrO 層がシリコン基板に接する形で形成されており、 Sr_3TiO_5 及び $\text{Sr}_4\text{Ti}_2\text{O}_8$ で表されるインフェーズ(IP)構造を交互に積層した薄膜である。

【0383】

ペロブスカイト部分の厚みが1層分あるいは2層分であり、IP型構造の指数

は1あるいは2である。つまりIP1型とIP2型の交互積層薄膜である。ひずみシリコン基板の作成方法としては、実施例9に記されている方法を採用している。そして、この時のひずみ量は+1%であった。以降の実施例においても、この+1%のひずみ量を有するひずみシリコン基板を用いることにする。以下、簡単に成膜プロセスに関して説明する。

【0384】

まず、主面が(001)のシリコン基板上及び、ひずみシリコン基板上に、MBEを用いてSrO層をエピタキシャル成長させた。Si基板表面、およびひずみSi基板表面をHF処理とNH₄Fにより水素終端し、しかる後にCaOを成膜した。基板の平坦化は多くの処理を含んでいるが、ここで用いた基板の平坦性はゲート絶縁膜の全領域で原子ステップが現れない程度にまで処理されている。ゲート絶縁膜の領域は今後も小さくなる方向であるので、平坦化処理は現在の処理法で十分である。

【0385】

このSrO薄膜の成膜は、Srのみをオゾンなしで、圧力 10^{-7} パスカル、基板温度は200℃という低温にて、3ML成長させ、その後圧力を 10^{-6} パスカル、基板温度は200℃においてオゾンフラックス 1.5×10^{12} 分子/秒 cm^2 を45秒間照射する。これによりSrO層が3層でき上がる。その上にTi金属を1ML成長させた後、上記と同じオゾンフラックスを20秒間照射した。これによりTiO₂膜が1ML成長した。

【0386】

次に、上記の通り、SrO層を3ML作成した後、Ti金属を2ML成長させた後、上記と同じオゾンフラックスを40秒間照射した。これによりTiO₂膜が2ML成長した。あとは、これを繰り返すことで、IP1型とIP2型の交互積層薄膜がシリコン基板上、及び、ひずみシリコン基板上にエピタキシャル成長した。

【0387】

このようにして、最終的にはSr₇Ti₃O₁₃薄膜を実膜厚で94オングストロームだけエピタキシャル成膜させた。誘電率はおよそ54であるので、Si

O₂ 膜厚に換算した膜厚 (EOT) が 6.8 オングストロームと小さいゲート絶縁膜であった。また、5 MV/cm という大きな電界をかけた時のリーク電流を測定すると、ひずみシリコン基板上では $5 \times 10^{-6} \text{ A/cm}^2$ という非常に小さな値が得られた。これは、実膜厚が 94 オングストロームと厚いことがかなり効いている。しかし、それにも増して、IP1 + IP2 と交互に積層したことによって井戸構造ができ、井戸内部の準位が完全に離散化したために、電子障壁が大きく上昇したことが効果として大きい。ひずみのないシリコン基板上では、少なからずリークが増加してしまい、2 倍の 10^{-5} A/cm^2 という値になった。これは界面電荷トラップの増加に伴う荒れが原因である。

【0388】

比較例として、SiO₂ 膜のみの絶縁膜において同じ EOT における、5 MV/cm でのリーク電流を外挿により求めると 10^5 A/cm^2 であり、ひずみシリコン基板上で 2×10^{10} 倍にも達していることから、IP1 + IP2 と交互に積層したことによってできた多重井戸構造ゲート絶縁膜が非常に有効であることが証明された。

【0389】

次に、ゲート絶縁膜の格子定数が基板の格子定数と一致していることの効果を調べた。ひずみシリコン基板上に作成した MOSFET に関して、界面電荷トラップ密度 D_{it} (cm^{-2}/eV) を求めると、 $1.5 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ とかなり低い値であった。最近の SiO₂/Si 界面の最良のものではこの値は $10^{10} \text{ cm}^{-2}/\text{eV}$ を下まわるところまで来ており、それには及ばないもののかなり良い値である。

【0390】

この結果、ひずみ Si 基板を用いている効果と相まって、移動度は最大で 825 (cm^2/Vs) が実現されている。この値は、格子定数がひずみシリコン基板の格子定数に対し 0.25% 程度しか差がないために得られた非常によい値といえる。

【0391】

これに対し、ひずみを入れないシリコン基板上での MOSFET に関して、界

面電荷トラップ密度 D_{it} (cm^{-2}/eV) を求めると、 $3 \times 10^{11} \text{ cm}^{-2}/\text{eV}$ というものであった。この値は格子定数のずれが 0.75% 程度あるために起こった値であるが、それでも非常に良い値といえる。この結果、無ひずみの Si 基板を用いているためひずみによる移動度上昇はないが、移動度は最大で $455 (\text{cm}^2/\text{Vs ec})$ が実現されている。この値は、格子定数がシリコン基板の格子定数から 0.75% 程度ずれていることを考慮すると良い値といえる。

【0392】

シリコン基板上であっても、格子定数をより合わせることができれば、更に良い値が期待できる。IP1+IP2 型構造では、離散的なエネルギーレベルが形成され、井戸構造ができるので、電子障壁はこの構造を保つ限り確保できる。よって、格子定数だけを考えればよく、たとえば $(\text{Sr}_{0.2}, \text{Ca}_{0.8})_3\text{TiO}_5$ 及び $(\text{Sr}_{0.2}, \text{Ca}_{0.8})_4\text{Ti}_2\text{O}_8$ で表される IP 型構造を交互に積層した薄膜薄膜であれば、格子定数がシリコン基板と一致するため、高い移動度を示す MOSFET ($501 \text{ cm}^2/\text{Vs ec}$) を作成することが可能であった。

【0393】

ゲート絶縁膜の格子定数が基板格子定数の +1.5% を超えると、急激に界面電荷トラップが増え、格子定数がプラス 2% では、 $10^{14} \text{ cm}^{-2}/\text{eV}$ に達してしまう。そのため、ゲート絶縁膜の格子定数は +1.5% までに留める必要がある。この点は、シリコン基板上、或いはひずみシリコン基板上に岩塩構造の薄膜を作成する場合の要請であると考えてよい。岩塩構造であれば、 $(\text{Ca}_{0.8}, \text{Sr}_{0.2})\text{O}$ などの混晶膜でも同じで、良質の界面を作成するためには、基板との格子定数差が 1.5% 以内であることが必要である。

【0394】

ここでは、ひずみシリコン基板上では Sr_3TiO_5 と $\text{Sr}_4\text{Ti}_2\text{O}_8$ の積層構造が有望であることを例に示したが、その他、 $\text{Ca}_3(\text{Ti}_{0.5}, \text{Zr}_{0.5})\text{O}_5$ と $\text{Ca}_4(\text{Ti}_{0.5}, \text{Zr}_{0.5})_2\text{O}_8$ の積層構造なども有望である。

【0395】

(第20の実施例)

次に、本発明の第20の実施例として、SRO電極／(IP1+IP2)薄膜／SRO電極というIP1+IP2型量子井戸構造を有する絶縁膜を設けたMIMキャパシタについて説明する。

【0396】

図41は、本実施例のMIMキャパシタの断面図である。すなわち、同図は、MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図である。特にIP1+IP2によって絶縁体部分を構成している。絶縁膜部分には高誘電体膜、あるいは、強誘電体膜を用いており、それぞれの場合でMIMキャパシタを構成した場合、誘電特性が良好で、しかも漏れ電流が小さなMIMキャパシタが構成できる。ここでは、電極としてSrRuO₃を用いている。

【0397】

このMIMキャパシタについて、以下、製造工程に従って説明する。

【0398】

主面が(001)のSi基板101に上にキャパシタをMBEを用いて作成した。すなわち、第10実施例と同様の方法にて、Si上にまずSrTiO₃層146をエピタキシャル成長した。その上に、SrRuO₃電極143をエピタキシャル成長させ、その上に(Ba_{0.6}, Sr_{0.4})O(001)層をエピタキシャル成長させた。(Ba, Sr)O層の厚みはおよそ5.4オングストロームとした。

【0399】

その上に(Ba_{0.6}, Sr_{0.4})TiO₃(001)層を3.95オングストロームだけエピタキシャル成膜させた。さらにこの(Ba, Sr)TiO₃膜の上に(Ba_{0.6}, Sr_{0.4})O(001)膜を先ほどと同じ膜厚およそ5.4オングストロームだけエピタキシャル成長させた。さらに、その上に(Ba_{0.6}, Sr_{0.4})TiO₃(001)層107を7.9オングストロームだけエピタキシャル成膜させた。さらに、この(Ba, Sr)TiO₃膜の上に(Ba_{0.6}, Sr_{0.4})O(001)膜を先ほどと同じ膜厚およそ5.4オ

ングストロームだけエピタキシャル成長させた。この誘電膜部分の成膜を更に3回繰り返し行ない（誘電体膜144）、その上に SrRuO_3 電極145をエピタキシャル成長させた。この時、誘電体144の全膜厚は74オングストロームであった。

【0400】

キャパシタ部分の成膜は、圧力 10^{-6} パスカル、基板温度は 600°C 、オゾンフラックス 1.5×10^{12} 分子/秒 cm^2 とした。

【0401】

このようにして得られた絶縁膜は、 SiO_2 膜厚に換算した膜厚（EOT）が、4.98オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $2 \times 10^{-4}\text{A}/\text{cm}^2$ という小さな値が得られた。

【0402】

比較例として、 SiO_2 膜のみの場合の同じEOTにおける、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $5 \times 10^5\text{A}/\text{cm}^2$ 以上であり、 2.5×10^9 倍にも達していることから、量子井戸構造をMIMキャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが確認できた。

【0403】

また、さらに本実施例の変形例として、本実施例の誘電体膜として強誘電体膜を用いた場合について示す。

上記と同じように、 SrRuO_3 電極143をエピタキシャル成長させ、その上に BaO （001）層をエピタキシャル成長させた。 BaO 層の厚みはおよそ5.5オングストロームとした。

【0404】

その上に BaTiO_3 （001）層を4オングストロームだけエピタキシャル成膜させた。さらにこの BaTiO_3 膜の上に BaO （001）膜を先ほどと同じ膜厚およそ5.5オングストロームだけエピタキシャル成長させた。さらに、その上に BaTiO_3 （001）層107を8オングストロームだけエピタキシャル成膜させた。さらに、この BaTiO_3 膜の上に BaO （001）膜を先ほ

どと同じ膜厚およそ 5.5 オングストロームだけエピタキシャル成長させた。この誘電膜部分の成膜を更に 3 回繰り返し行ない（誘電体膜 144）、その上に SrRuO_3 電極 145 をエピタキシャル成長させた。この時、誘電体 144 の全膜厚は 75.5 オングストロームであった。

【0405】

この絶縁膜は、 SiO_2 膜厚に換算した膜厚（EOT）が、5.9 オングストロームと非常に小さいキャパシタであった。また、 $5\text{MV}/\text{cm}$ という大きな電界をかけた時のリーク電流を測定すると、 $4 \times 10^{-5} \text{A}/\text{cm}^2$ という小さな値が得られた。 SiO_2 膜のみの場合の同じ EOT における、 $5\text{MV}/\text{cm}$ でのリーク電流を外挿により求めると $2 \times 10^6 \text{A}/\text{cm}^2$ 以上であり、 5×10^9 倍にも達していることから、量子井戸構造を MIM キャパシタの絶縁膜内部に作りこんだ効果が非常に大きいことが分かった。

【0406】

また、この MIM キャパシタでは、分極が発生しており、強誘電体薄膜の MIM 構造をなしていることが分った。各誘電体層の膜厚方向の軸が揃っていることから、強誘電体としての特性も非常に大きく、自発分極の大きさが $48 \mu\text{C}/\text{cm}^2$ にも達する極めて大きい値を持っていることが分った。漏れ電流の値も非常に小さく、かつ自発分極が非常に大きいことから、強誘電体メモリー向けの MIM キャパシタとして非常に有望である。

【0407】

（第 21 の実施例）

本発明の第 21 の実施例として、 CeO_2 （バッファ層）/ SrO / CeO_2 / SrO / CeO_2 / SrO という CeO_2 バッファ層が挿入された二重量子井戸構造を有する絶縁膜を用いた MOSFET（MOS 型電界効果トランジスタ）について説明する。

【0408】

図 42 は、本発明の第 21 の実施例の MOSFET のゲート絶縁膜部分の断面図である。すなわち、本実施例の FET は、シリコン基板 201 の表面部分に、ソース領域 S、ドレイン領域 D が形成され、これらの間に形成されたチャネル領

域の上に、バッファ層 209 とゲート絶縁膜 202 を介してゲート電極 208 が設けられている。ゲート絶縁膜は、SrO 障壁層 203、CeO₂ 井戸層 204、SrO 障壁層 205、CeO₂ 井戸層 206、SrO 障壁層 207 を積層させた二重量子井戸構造を有する。

【0409】

以下、この絶縁膜 202 について、その製造手順に沿ってさらに詳細に説明する。

【0410】

すなわち、主面が (111) の Si 基板 201 を HF 処理と NH₄F により水素終端し、しかる後に CeO₂ を成膜した。ここで、Si 基板の平坦性が悪い場合に限っては、面方位に関係なく、Si のエピタキシャル成長をプロセスの第一段階で入れることも可能である。これにより、超平坦面を持つ Si 基板を得ることが可能である。バッファ CeO₂ (111) 層 209 は 14.1 オングストロームと厚くエピタキシャル成膜させた。この CeO₂ 成膜時の圧力は、10⁻⁶ パスカル、基板温度は 700℃ であり、オゾンフラックスは 8.8 × 10¹² 分子/秒 cm² とした。

【0411】

SrO (111) 層 203 をエピタキシャル成長させた。SrO 層の厚みはおよそ 5 オングストロームとした。より具体的には、圧力 10⁻⁶ パスカル、基板温度は 700℃ において SrO をオゾンフラックス 1.2 × 10¹² 分子/秒 cm² にて成膜を行った。

【0412】

次に、成膜した SrO 膜の上に CeO₂ (111) 層 204 を 4.7 オングストロームだけエピタキシャル成膜させた。この CeO₂ 成膜時の圧力は、10⁻⁶ パスカル、基板温度は 700℃ であり、オゾンフラックスは 8.8 × 10¹² 分子/秒 cm² とした。

【0413】

さらに、この CeO₂ 膜の上に SrO (111) 膜 205 を圧力は 1.0 × 10⁻⁶ パスカル、基板温度は 700℃、オゾンフラックス 1.2 × 10¹² 分子/秒 cm²

2 にて、5 オングストロームだけエピタキシャル成長させた。その後、上記と同様の条件にて、 CeO_2 を 9.4 オングストローム、 SrO を 5 オングストロームだけエピタキシャル成長させ、その上にゲート電極 208 として、金 (Au) を蒸着により成膜した。

【0414】

このようにして得られた絶縁膜 202 は、 SiO_2 膜厚に換算した膜厚 (EOT) が 8.1 オングストロームと小さい絶縁膜であった。また、 5 MV/cm の電界をかけた時のリーク電流を測定すると、 $5 \times 10^{-6} \text{ A/cm}^2$ という非常に小さな値が得られた。

【0415】

比較例として、 SiO_2 膜のみを用いた絶縁膜において、同じ EOT における、 5 MV/cm でのリーク電流を外挿により求めると、 10^3 A/cm^2 であり、 2×10^8 倍にも達していることから、バッファ層があっても、その後で量子井戸構造を絶縁膜内に作りこんでやれば、非常に効果が大きいことが確認できた。 CeO_2 バッファ層を用いた場合、EOT に関しては、およそ 1 オングストロームの増加が見込まれる。この EOT であれば、本来 10^{-6} A/cm^2 をきるようなリーク電流であるはずであるが、実際には EOT として 1 オングストローム程度減らした 7 オングストロームに対応したリーク電流が流れていると思われる。しかし、それでも、井戸型絶縁膜構造が十分有効であることが証明できた。

【0416】

次に、界面に関して詳しく調べた。 CeO_2 バッファ層を用いた場合、 SrO から出発した場合に比べて界面のひずみによる界面準位密度をおよそ二桁以上減らすことができた。 CeO_2 は Si との界面で電子に対する障壁は低いが、 Si との格子定数差は小さい。格子定数差が小さいことの効用は Si 上にエピタキシャル成長し易いというだけにとどまらず、界面準位によるトランジスタの移動度低下を抑制できる点で大きい。また、 CeO_2 の誘電率が非常に大きいため、電圧降下にバッファ層部分はあまり効いてこない。そのため、厚めに第一層目を構成することが出来たので、絶縁膜全体を通して、非常に大きな膜質の向上が

見られた。この点も、注目に値する。

【0 4 1 7】

【発明の効果】

以上説明したように、従来のいわゆる高誘電体物質は、誘電率が高いためにM O S F E TやM I Mキャパシタを構成した場合に電荷を十分に蓄積できると期待できる物質でありながら、バンドオフセットが小さいが故に、漏れ電流が抑えられない物質でもあった。

【0 4 1 8】

これに対して、本発明の実施の形態によれば、誘電率が高く、かつ、リーク電流の小さな絶縁膜及びこれを用いた半導体装置を提供することができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図 1】

本発明の実施の形態にかかる絶縁膜の断面構造を表す模式図である。

【図 2】

図 1 の絶縁膜 Q I におけるエネルギーバンドダイアグラムを表す模式図である。

【図 3】

絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【図 4】

2 重量子井戸を用いた絶縁膜を例示する模式図である。

【図 5】

2 重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【図 6】

2 重量子井戸構造に電圧が印加された状態のエネルギーダイアグラムを表す模式図である。

【図 7】

絶縁膜に電圧を印加した時のリーク電流密度を表すグラフ図である。

【図 8】

3重量子井戸構造を有する絶縁膜の断面構造を例示する模式図である。

【図 9】

3重量子井戸構造のエネルギーダイアグラムを例示する模式図である。

【図 10】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には CeO_2 を、障壁層には SrO を用いている。

【図 11】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。

【図 12】

MOSFETにおける絶縁膜部分に2重量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。井戸層の膜厚が違っている。

【図 13】

MOSFETにおける絶縁膜部分に3重量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。第1・3の井戸層と第2井戸層の膜厚が違っている。

【図 14】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には SrTiO_3 を、障壁層には SrO を用いている。電極には SrRuO_3 を用いている。

【図 15】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には CeO_2 を、障壁層には Ce-silicate (Si 側)と SrO (金属電極側)を用いている。

【図 16】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には HfO_2 を、障壁層には Hf-silicate (Si 側)と SrO (金属電極側)を用いている。

【図 17】

MOSFETにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、ここでは、ひずみSi-SOI基板を用いている。井戸層には $\text{Ca}(\text{Ti}_{0.5}\text{Zr}_{0.5})\text{O}_3$ 膜を、障壁層にはSrOを用いている。

【図 18】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層には $(\text{Ba}_{0.2}, \text{Sr}_{0.8})\text{TiO}_3$ を、障壁層には $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ を用いている。電極にはSrRuO₃を用いている。

【図 19】

MIMキャパシタにおける絶縁膜部分に2重量子井戸を作成した様子を表す断面図であり、井戸層には $(\text{Ba}_{0.2}, \text{Sr}_{0.8})\text{TiO}_3$ を、障壁層には $(\text{Ba}_{0.75}, \text{Sr}_{0.25})\text{O}$ を用いている。電極にはSrRuO₃を用いている。

【図 20】

MIMキャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図であり、井戸層にはHfO₃を、障壁層にはAl₂O₃を用いている。電極にはSrRuO₃を用いている。

【図 21】

MIMキャパシタにおける絶縁膜部分に2重量子井戸を作成した様子を表す断面図であり、井戸層にはHfO₃を、障壁層にAl₂O₃を用いている。電極にはSrRuO₃を用いている。

【図 22】

MIMキャパシタにおける絶縁膜部分に3重量子井戸を作成した様子を表す断面図であり、井戸層にはHfO₃を、障壁層にAl₂O₃を用いている。電極にはSrRuO₃を用いている。

【図 23】

ペロブスカイト型物質において、組成に対する格子定数、誘電率、バンドギャップ等の関係を表すグラフ図である。

【図 2 4】

B サイトに Zr の代わりに Hf を採用した場合の格子定数、誘電率、バンドギャップ等をまとめたグラフ図である。

【図 2 5】

本発明の具体例の絶縁膜を用いた MOSFET を表す模式図である。

【図 2 6】

RP 型の材料を用いた場合の一例を表すグラフ図である。

【図 2 7】

図 2 6 の Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、バンドギャップをまとめたグラフ図である。

【図 2 8】

ペロブスカイト構造部分の厚みを増した物質、すなわち $RP_n (A_{n+1}B_nO_{3n+1})$ において、 $n=2$ とした場合を表すグラフ図である。

【図 2 9】

ペロブスカイト構造部分の厚みを増した物質、すなわち $RP_n (A_{n+1}B_nO_{3n+1})$ において、 $n=3$ とした場合を表すグラフ図である。

【図 3 0】

ペロブスカイト構造部分の厚みを増した物質、すなわち $RP_n (A_{n+1}B_nO_{3n+1})$ において、 $n \geq 4$ とした場合を表すグラフ図である。

【図 3 1】

RP 型の絶縁膜を用いた MOSFET を表す模式図である。

【図 3 2】

Si 基板上あるいはひずみ Si 基板上へのエピタキシャル成長させたゲート絶縁膜であって、「ペロブスカイト型物質 ABO_3 と岩塩構造物質 AO 層の積層構造 (Ruddlesden-Popper 型)」であり、かつ、 ABO_3 層が一層のもの (RP 1) と 2 層 (RP 2) が交互に積層される絶縁膜についてまとめたグラフ図である。

【図 3 3】

Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、電子障壁

等をまとめたグラフ図である。

【図 3 4】

図 3 2 及び図 3 3 に表した絶縁膜を用いた MOSFET を表す模式図である。

【図 3 5】

Si 基板上あるいはひずみ Si 基板上にエピタキシャル成長させたゲート絶縁膜であって、「ペロブスカイト型物質 ABO_3 と、2 層の岩塩構造物質 AO 層と、を積層させた構造」の絶縁膜についてまとめたグラフ図である。

【図 3 6】

Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、電子障壁等をまとめたグラフ図である。

【図 3 7】

図 3 5 及び図 3 6 に表した絶縁膜を用いた MOSFET を表す模式図である。

【図 3 8】

Si 基板上あるいはひずみ Si 基板上にエピタキシャル成長させたゲート絶縁膜であって、IP1 型と IP2 型とを交互に積層させた絶縁膜についてまとめたグラフ図である。

【図 3 9】

Zr の代わりに Hf を B サイトに採用した場合の格子定数、誘電率、電子障壁等をまとめたグラフ図である。

【図 4 0】

図 3 8 及び図 3 9 に表した絶縁膜を用いた MOSFET を表す模式図である。

【図 4 1】

MIM キャパシタにおける絶縁膜部分に量子井戸を作成した様子を表す断面図である。

【図 4 2】

MOSFET における絶縁膜部分に 2 重量子井戸を作成した様子を表す断面図である。

【符号の説明】

11 シリコン基板

- 1 2 ゲート絶縁膜
- 1 3、1 5 障壁層
- 1 4 井戸層
- 1 6 ゲート電極
- 2 1 シリコン基板
- 2 2 ゲート絶縁膜
- 2 3、2 5 障壁層
- 2 4 井戸層
- 2 6 ゲート電極
- 3 1 シリコン基板
- 3 2 ゲート絶縁膜
- 3 3、3 5、3 7 障壁層
- 3 4、3 6 井戸層
- 3 8 ゲート電極
- 4 1 シリコン基板
- 4 2 ゲート絶縁膜
- 4 3、4 5、4 7、4 9 障壁層
- 4 4、4 6、4 8 井戸層
- 5 1 基板
- 5 2 絶縁膜
- 5 3 電極
- 5 4、5 6 障壁層
- 5 5 井戸層
- 5 7 電極
- 6 1 シリコン基板
- 6 2 ゲート絶縁膜
- 6 3、6 5 障壁層
- 6 4 井戸層
- 6 6 ゲート電極

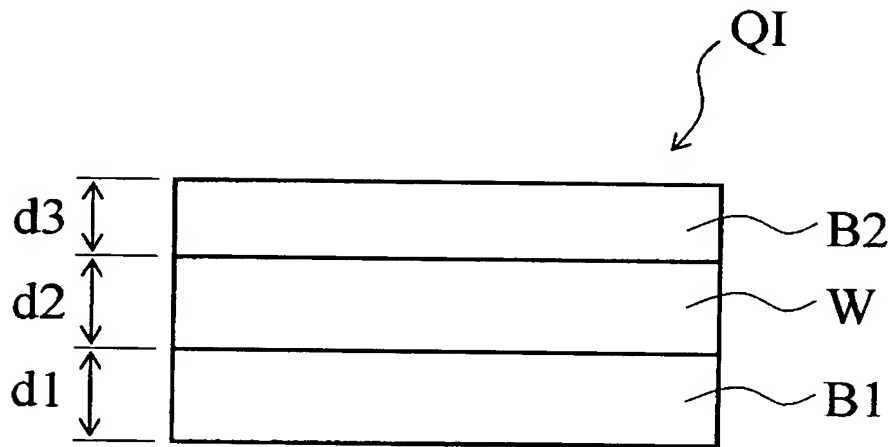
- 7 1 シリコン基板
- 7 2 ゲート絶縁膜
- 7 3、7 5 障壁層
- 7 4 井戸層
- 7 6 ゲート電極
- 8 1 基板
- 8 2 ゲート絶縁膜
- 8 2 絶縁膜
- 8 3、8 5 障壁層
- 8 4 井戸層
- 8 6 ゲート電極
- 9 1 基板
- 9 2 絶縁体部分
- 9 3 電極
- 9 4、9 6 障壁層
- 9 5 井戸層
- 9 7 電極
- 9 8 SrTiO_3 バッファ層薄膜
- 1 0 1 シリコン基板
- 1 0 2 絶縁体部分
- 1 0 3 電極
- 1 0 4、1 0 6、1 0 8 障壁層
- 1 0 5、1 0 7 井戸層
- 1 0 9 電極
- 1 0 1 0 SrTiO_3 バッファ層薄膜
- 1 1 1 基板
- 1 1 2 絶縁体部分
- 1 1 3 電極
- 1 1 4、1 1 6 障壁層

- 1 1 5 井戸層
- 1 1 7 電極
- 1 1 8 SrTiO_3 バッファ層
- 1 2 1 基板
- 1 2 2 絶縁体部分
- 1 2 3 電極
- 1 2 4、1 2 6、1 2 8 障壁層
- 1 2 5、1 2 7 井戸層
- 1 2 9 電極
- 1 2 1 0 SrTiO_3 バッファ層
- 1 3 1 基板
- 1 3 1 1 電極
- 1 3 2 絶縁体部分
- 1 3 3 電極
- 1 3 4、1 3 6、1 3 8、1 3 1 0 障壁層
- 1 3 5、1 3 7、1 3 9 井戸層
- 1 3 1 2 SrTiO_3 バッファ層
- 1 5 1 シリコン基板、あるいはひずみシリコン基板
- 1 5 2 ゲート絶縁膜
- 1 5 3 ゲート電極
- 1 6 1 シリコン基板、あるいはひずみシリコン基板
- 1 6 2 ゲート絶縁膜
- 1 6 3 ゲート電極
- 1 7 1 シリコン基板、あるいはひずみシリコン基板
- 1 7 2 ゲート絶縁膜
- 1 7 3 ゲート電極
- 1 8 1 シリコン基板、あるいはひずみシリコン基板
- 1 8 2 ゲート絶縁膜
- 1 8 3 ゲート電極

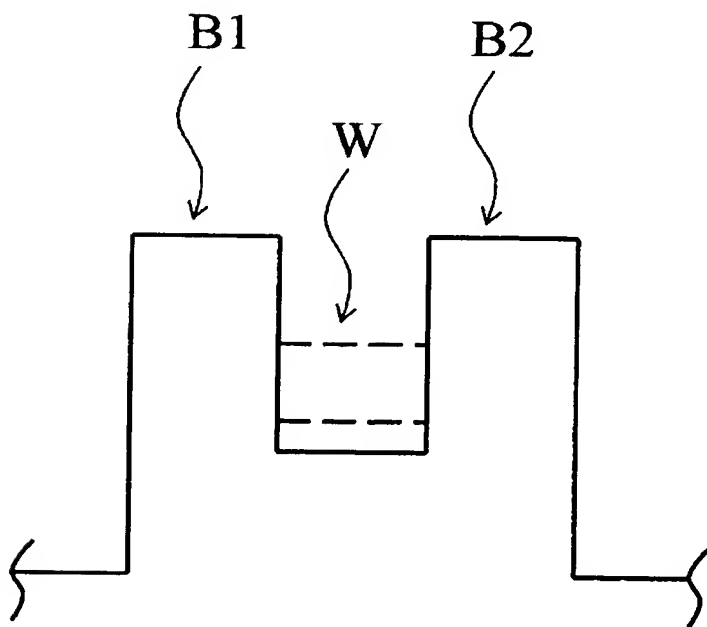
1 9 1 シリコン基板、あるいはひずみシリコン基板
1 9 2 ゲート絶縁膜
1 9 3 ゲート電極
1 4 1 シリコン基板
1 4 2 MIMキャパシタ
1 4 3、1 4 5 SrRuO_3 電極
1 4 4 IP1 + IP2 を繰り返し成膜した絶縁膜
1 4 6 SrTiO_3 バッファ層
2 0 1 Si 基板
2 0 2 井戸型絶縁膜
2 0 3、2 0 5、2 0 7 障壁層
2 0 4、2 0 6 井戸層
2 0 8 ゲート電極
2 0 9 バッファ層
B 1 ~ B 4 障壁層
D ドレイン領域
Q I 絶縁膜
S ソース領域
W、W 1 ~ W 3 井戸層

【書類名】 図面

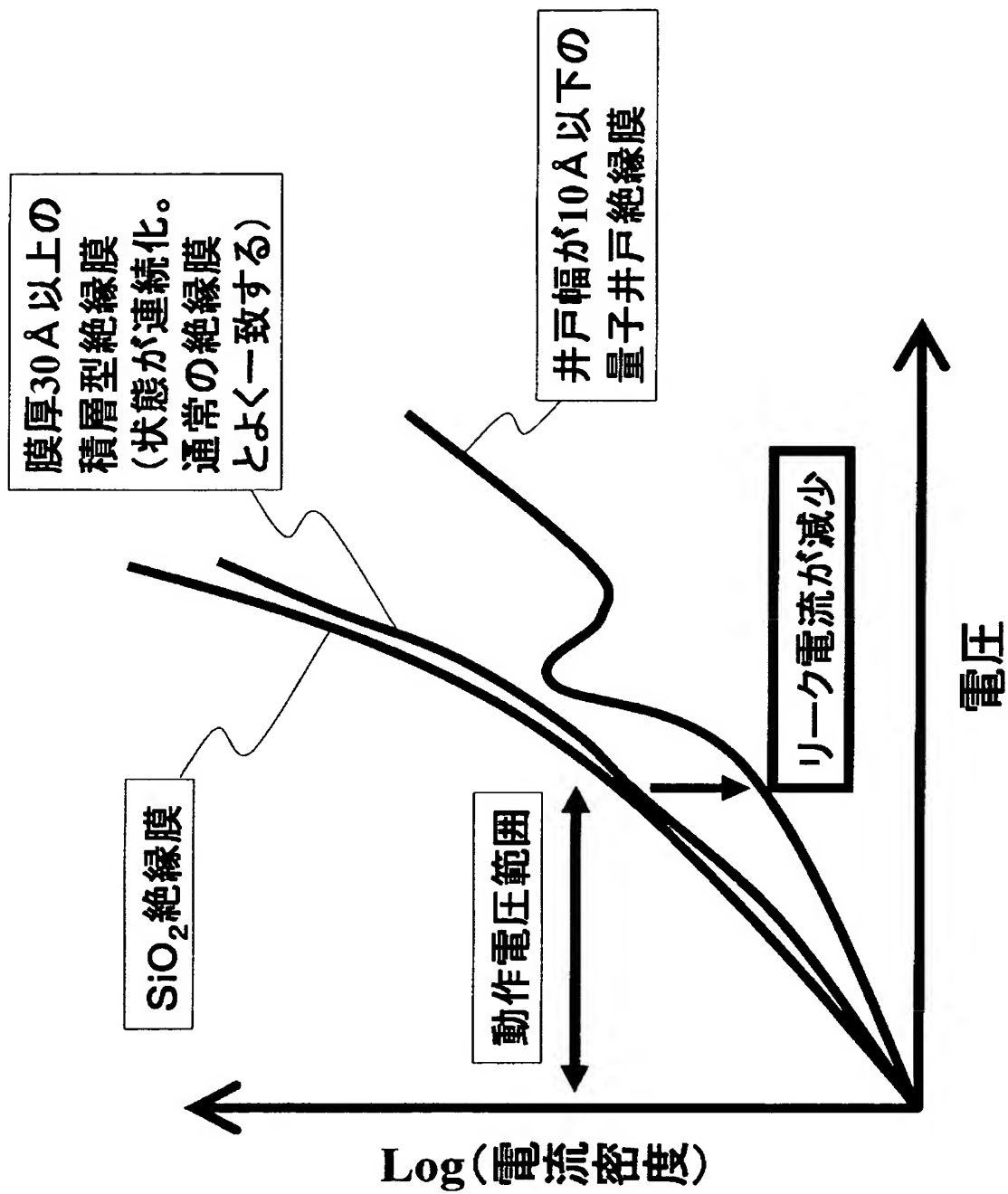
【図 1】



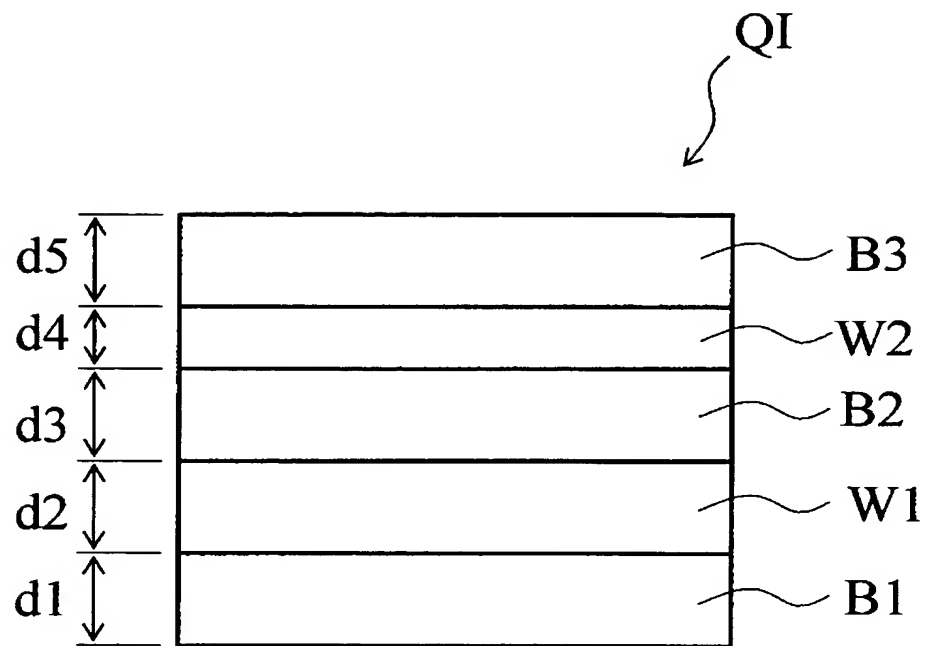
【図 2】



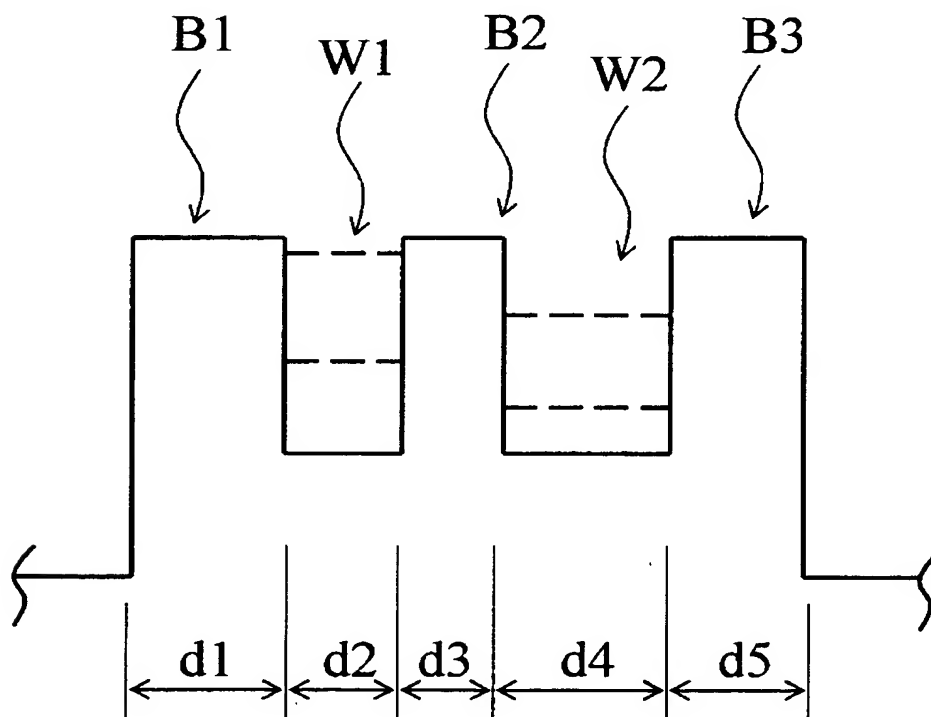
【図 3】



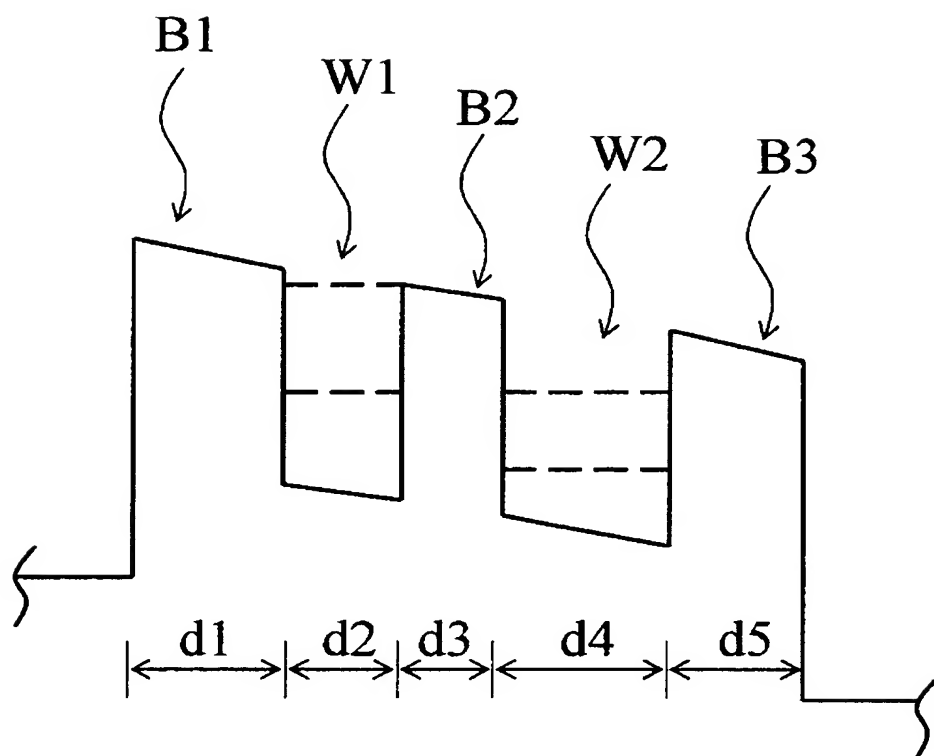
【図 4】



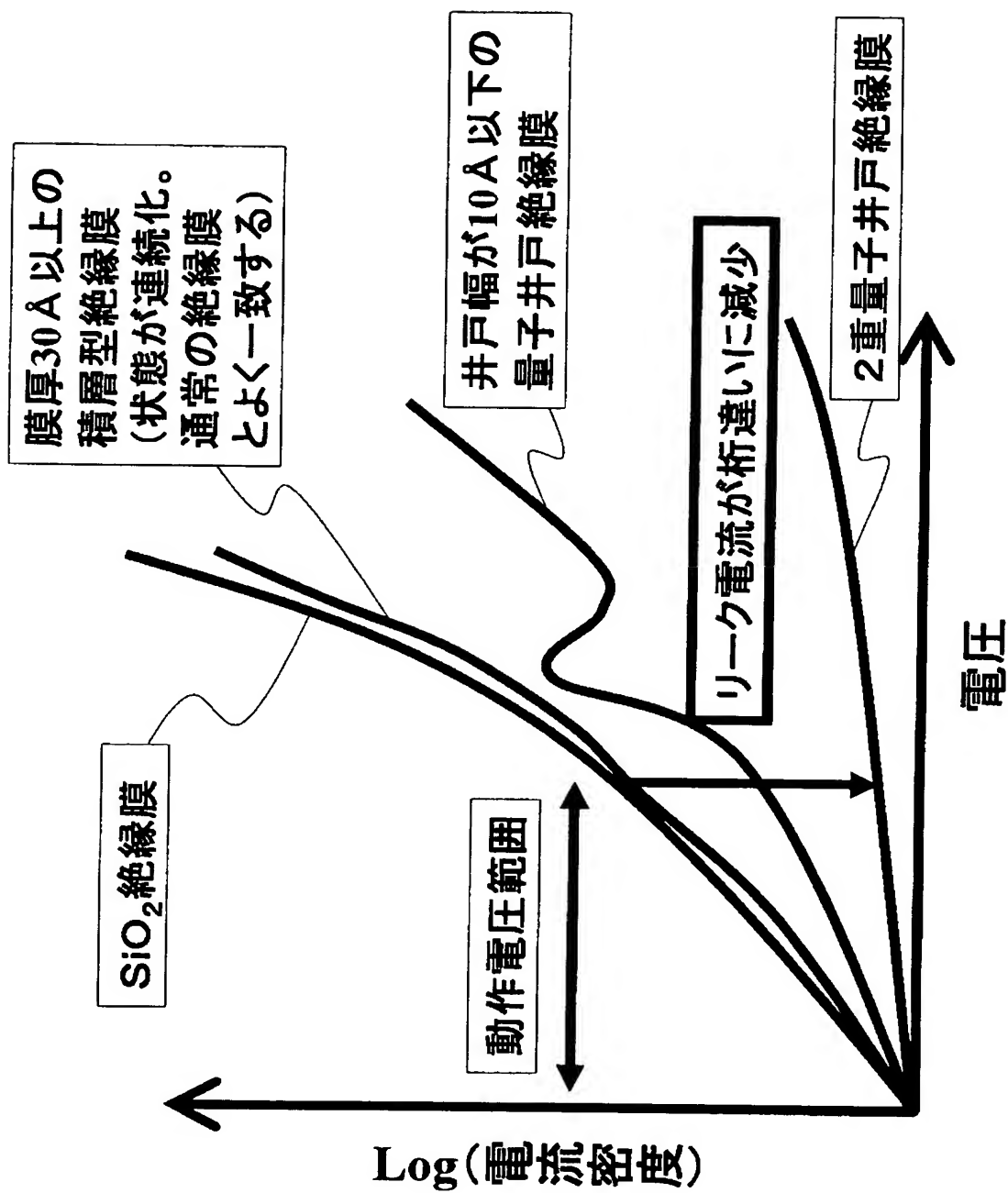
【図 5】



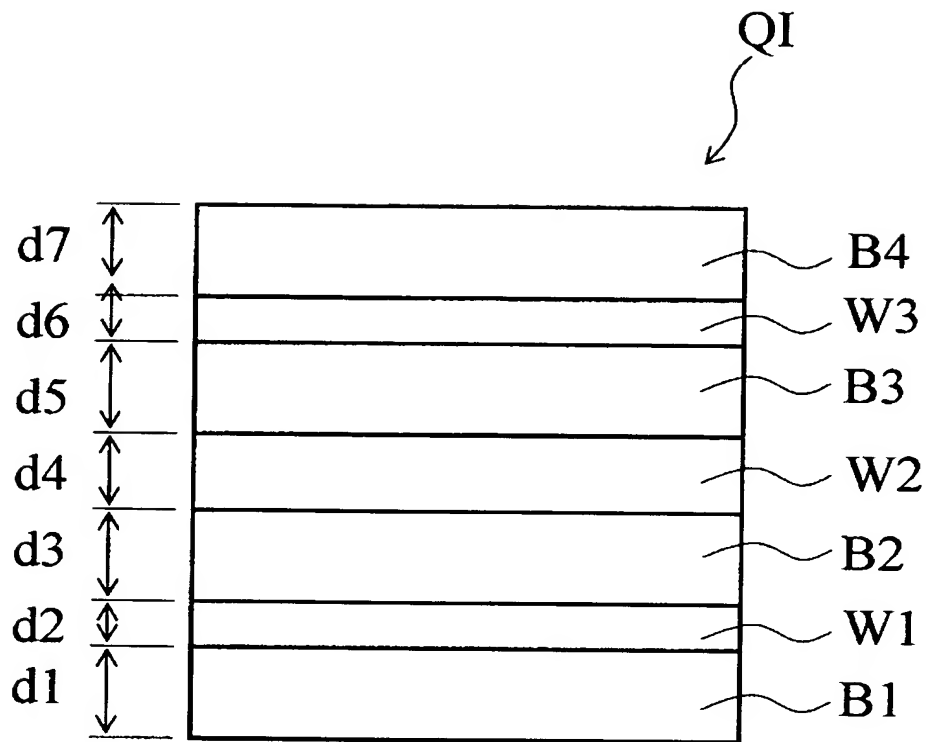
【図 6】



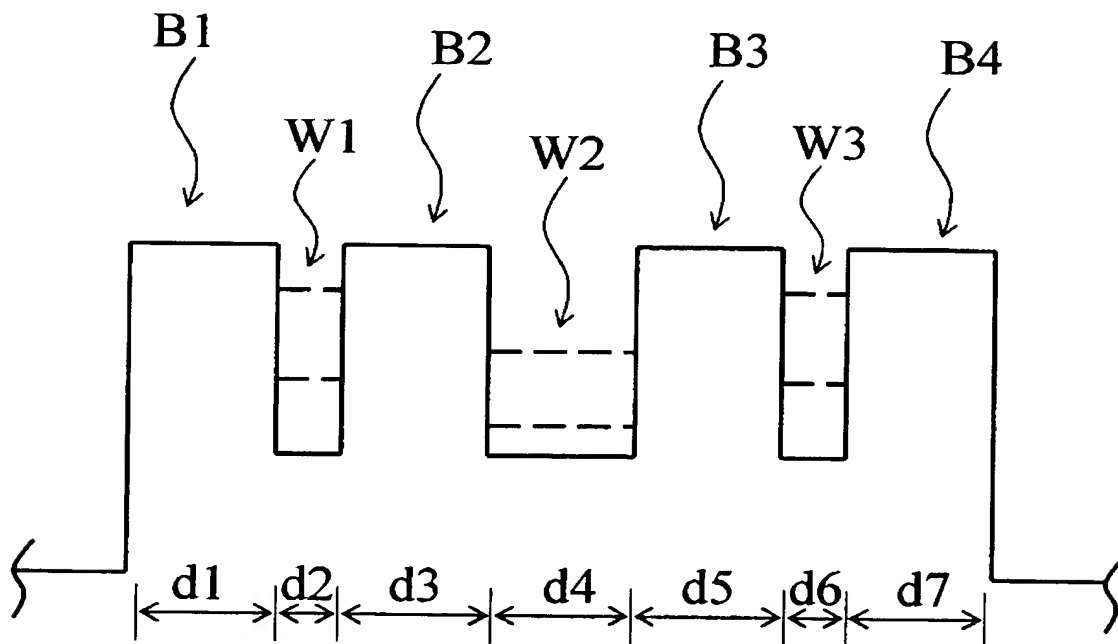
【図 7】



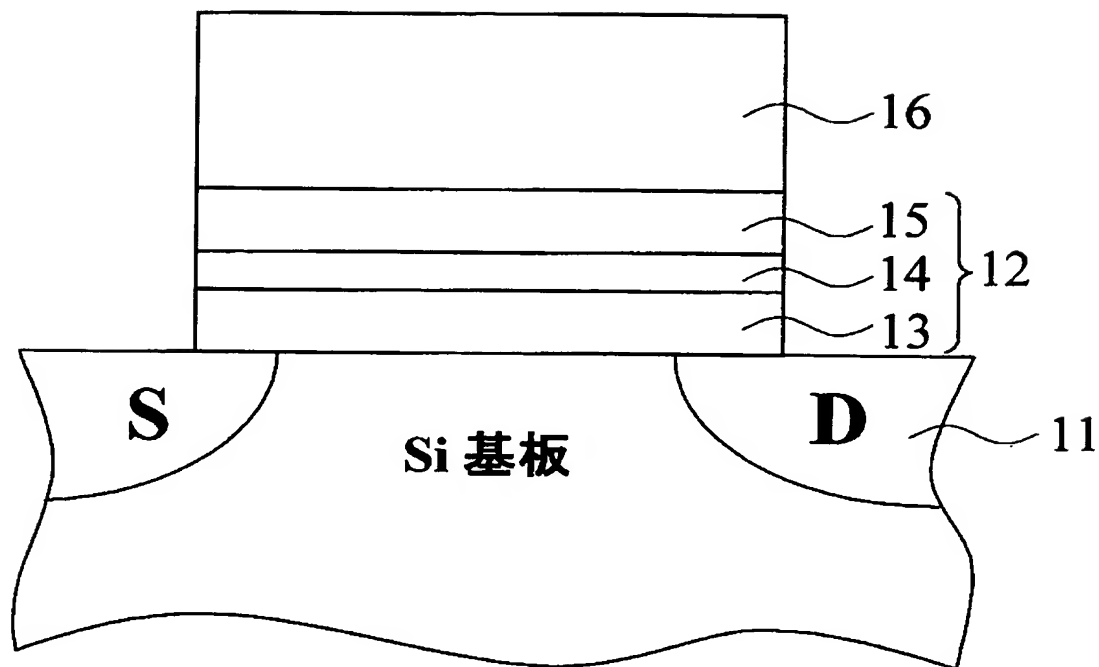
【図 8】



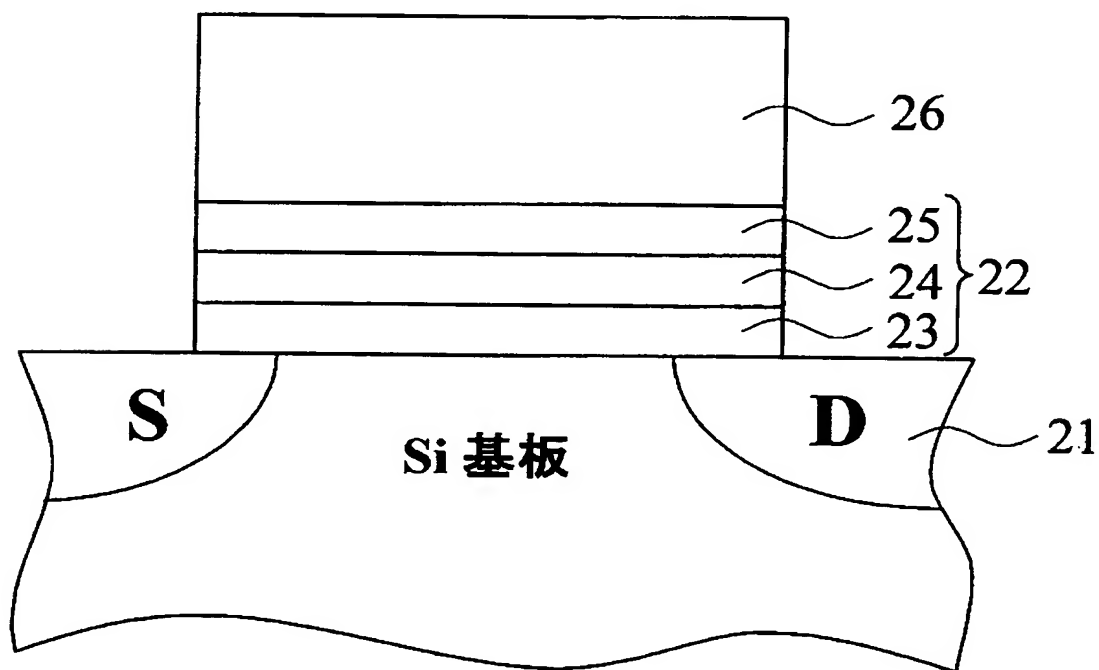
【図 9】



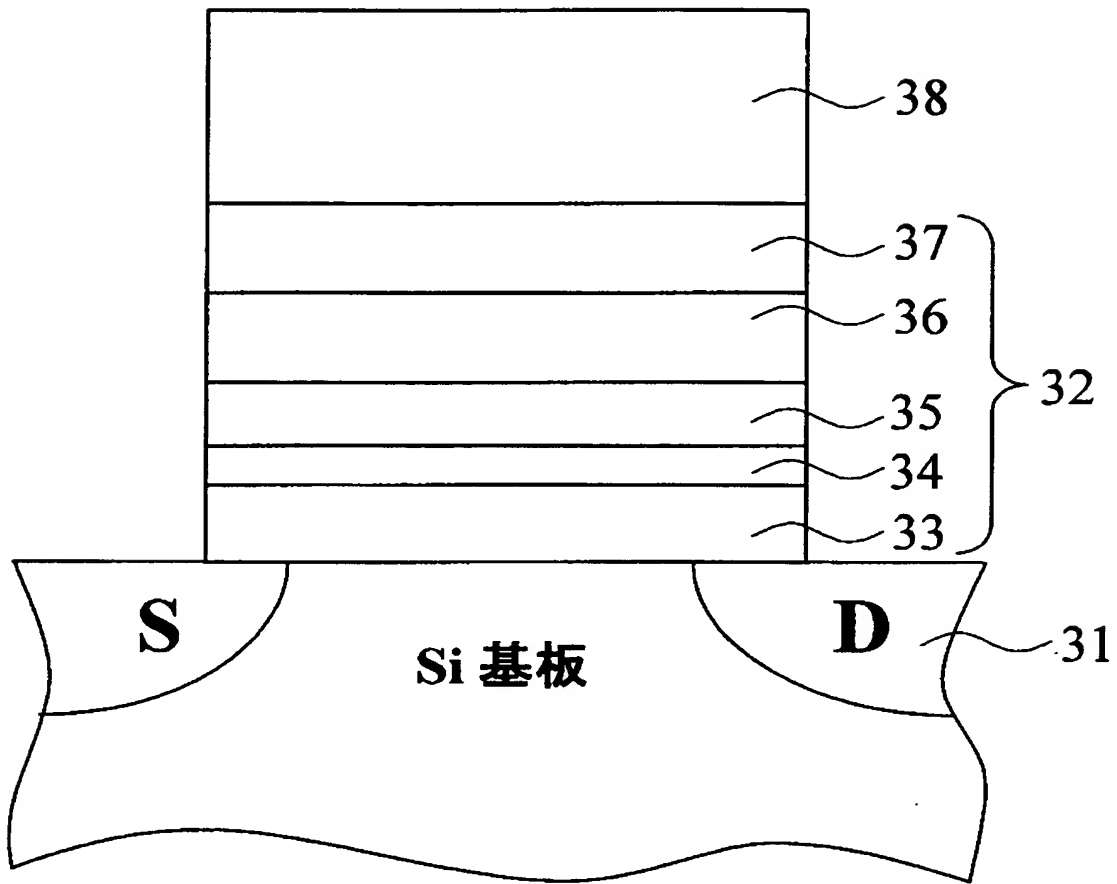
【図 10】



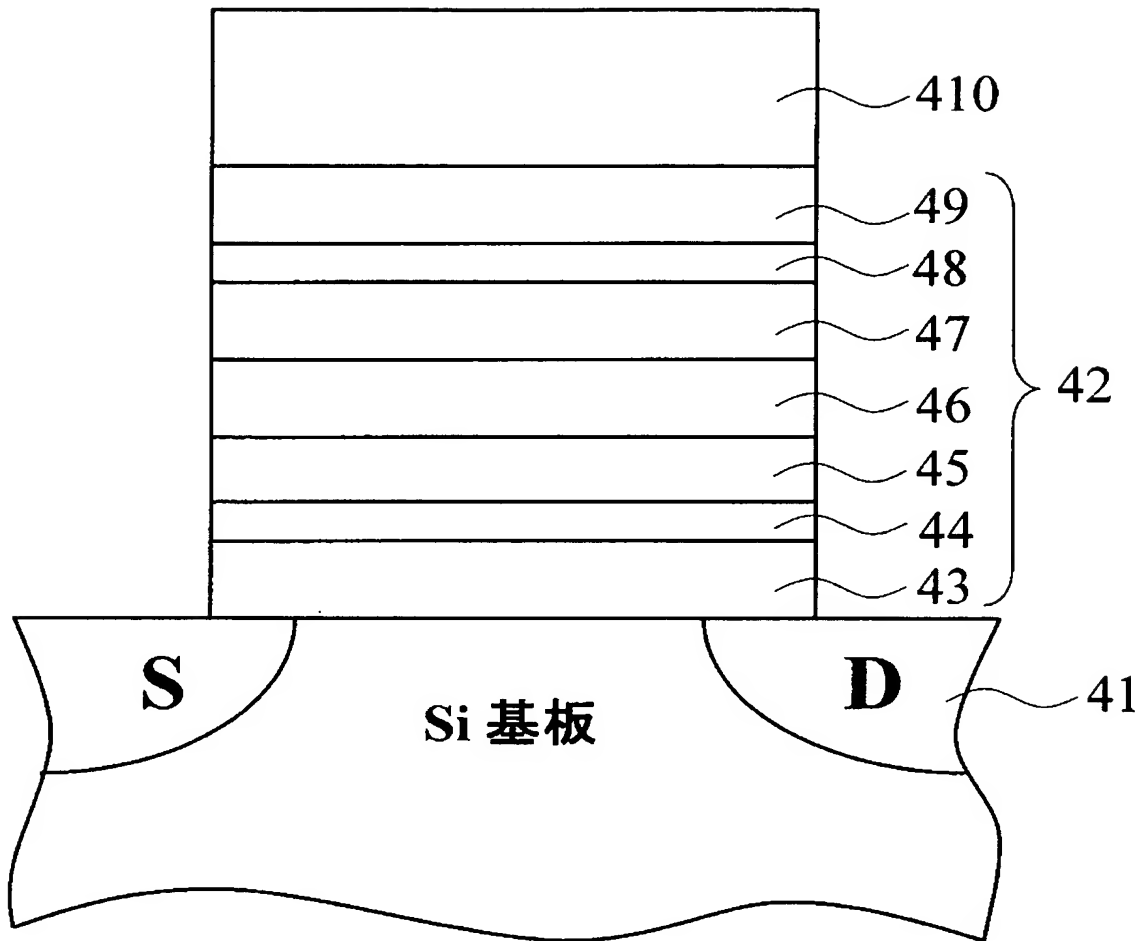
【図 11】



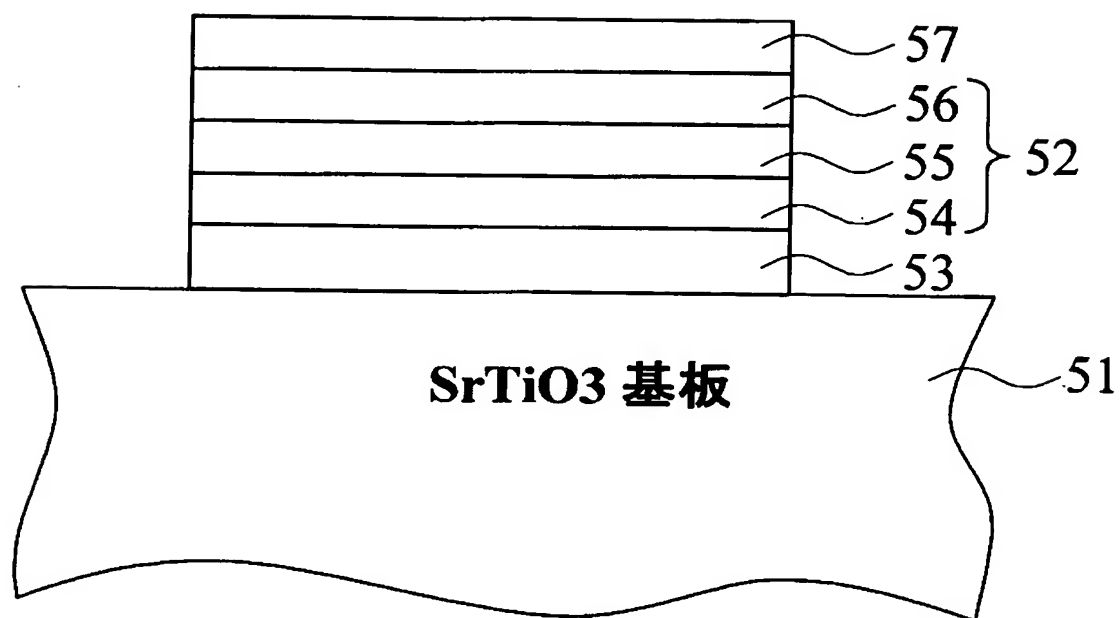
【図 12】



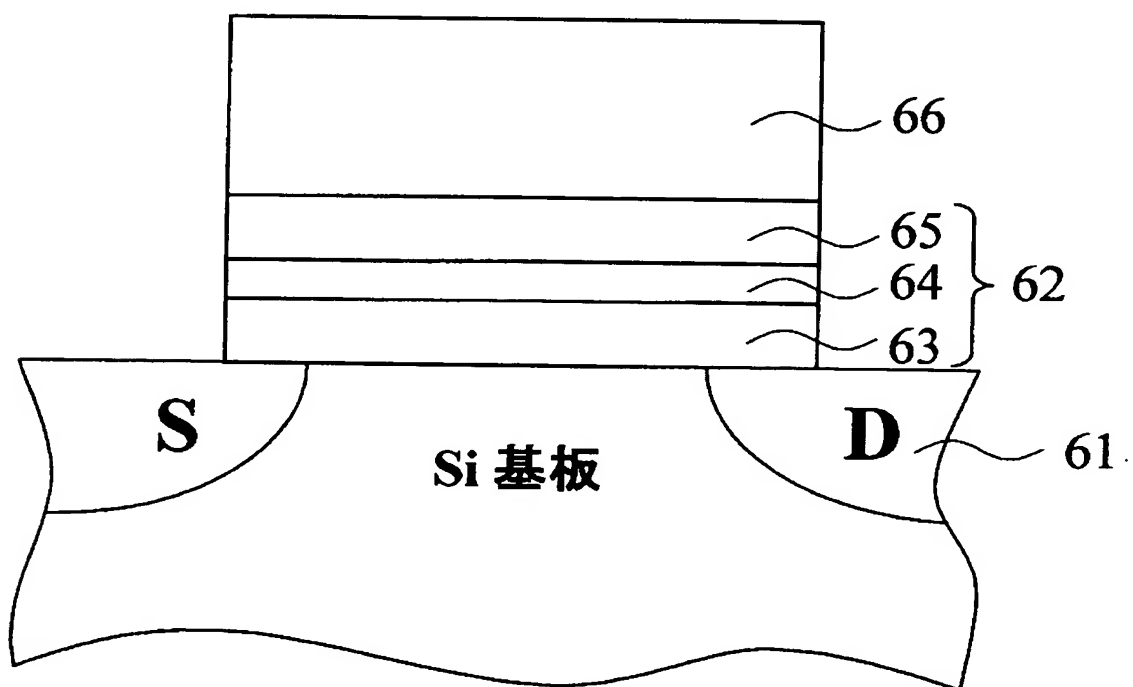
【図 13】



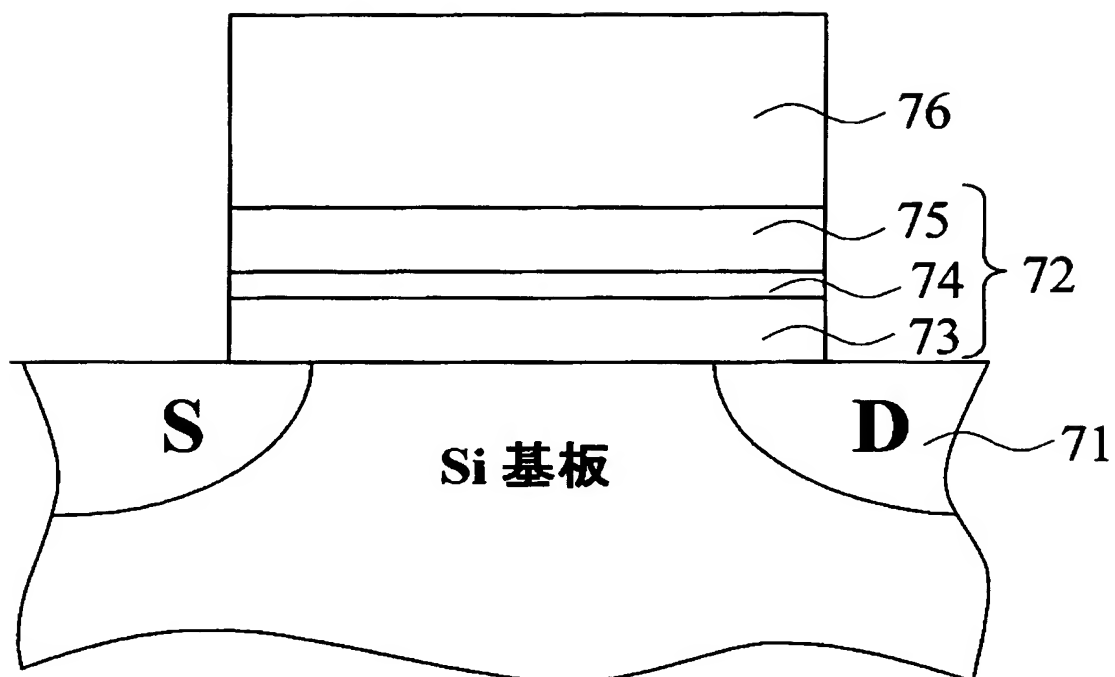
【図 14】



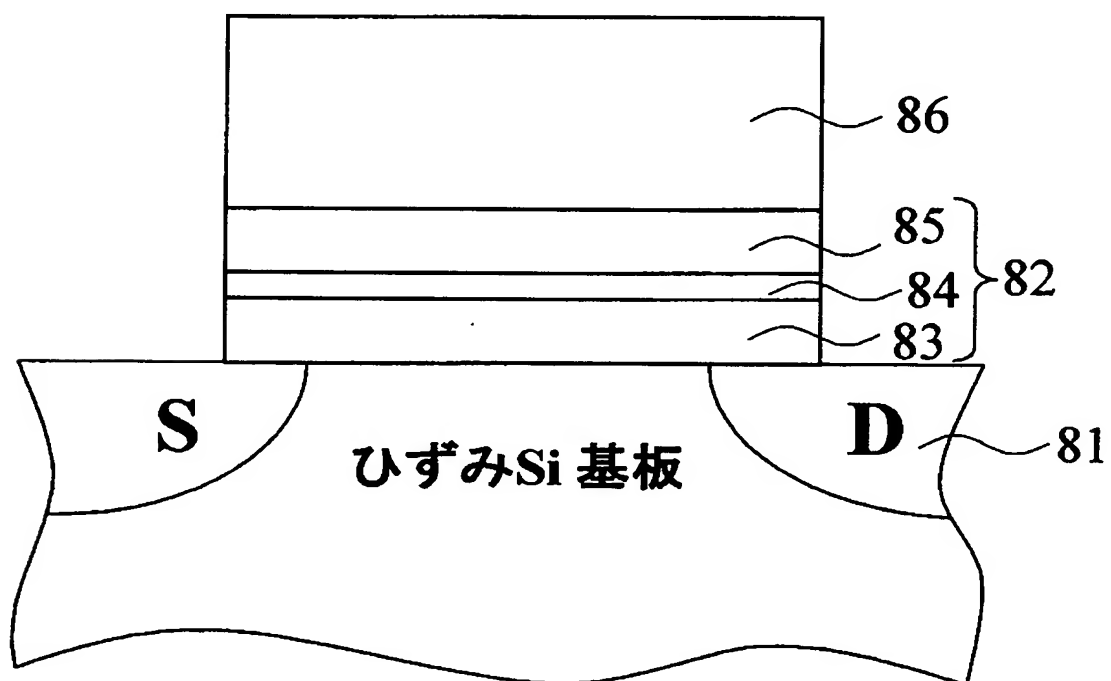
【図 15】



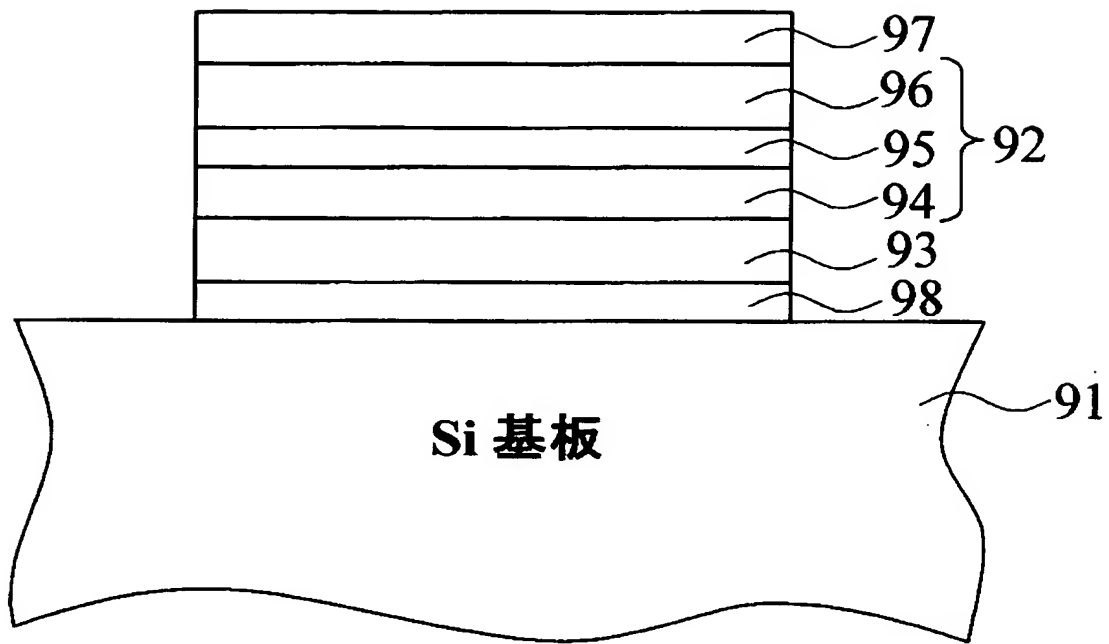
【図 16】



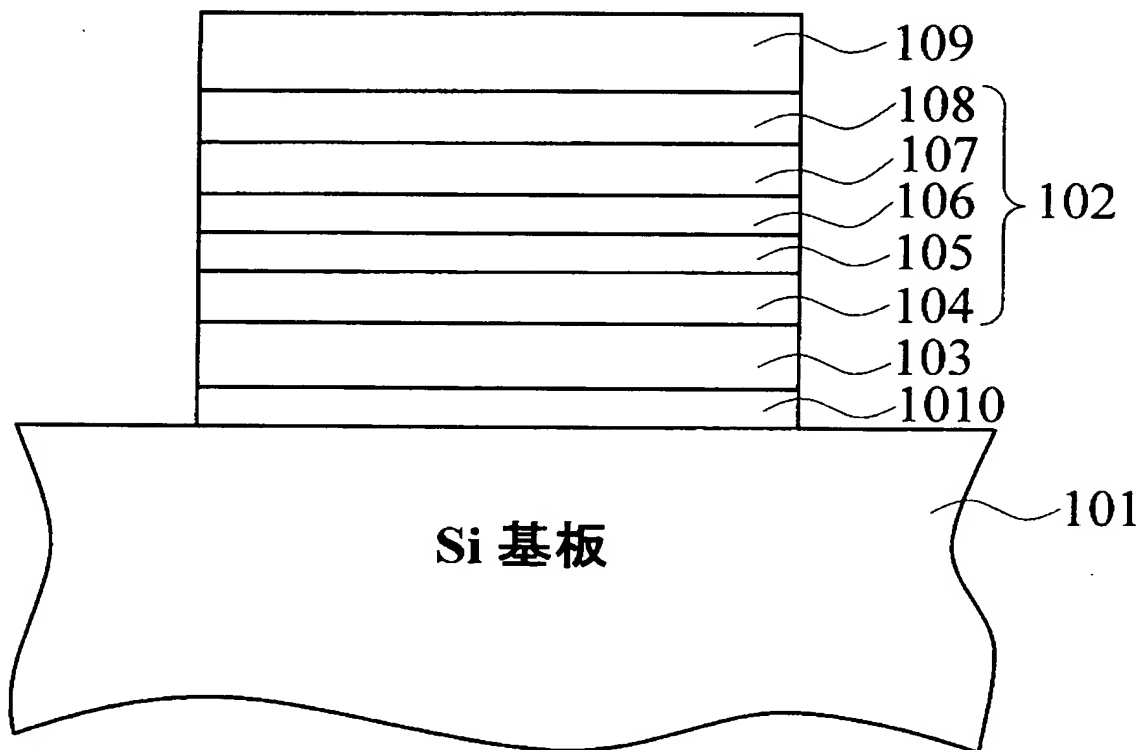
【図 17】



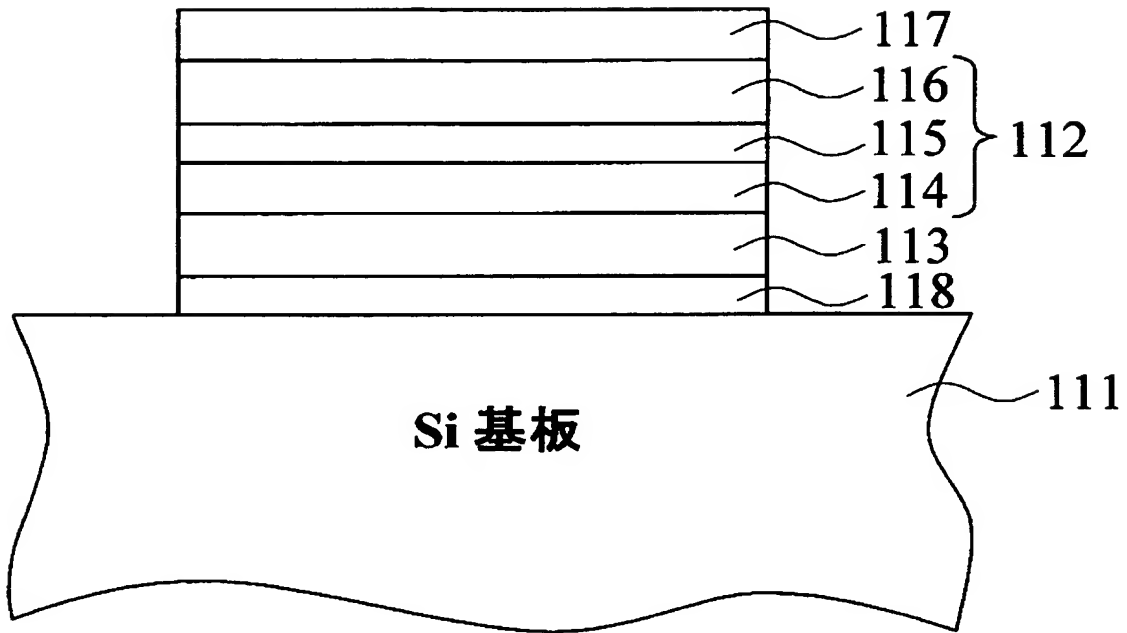
【図 18】



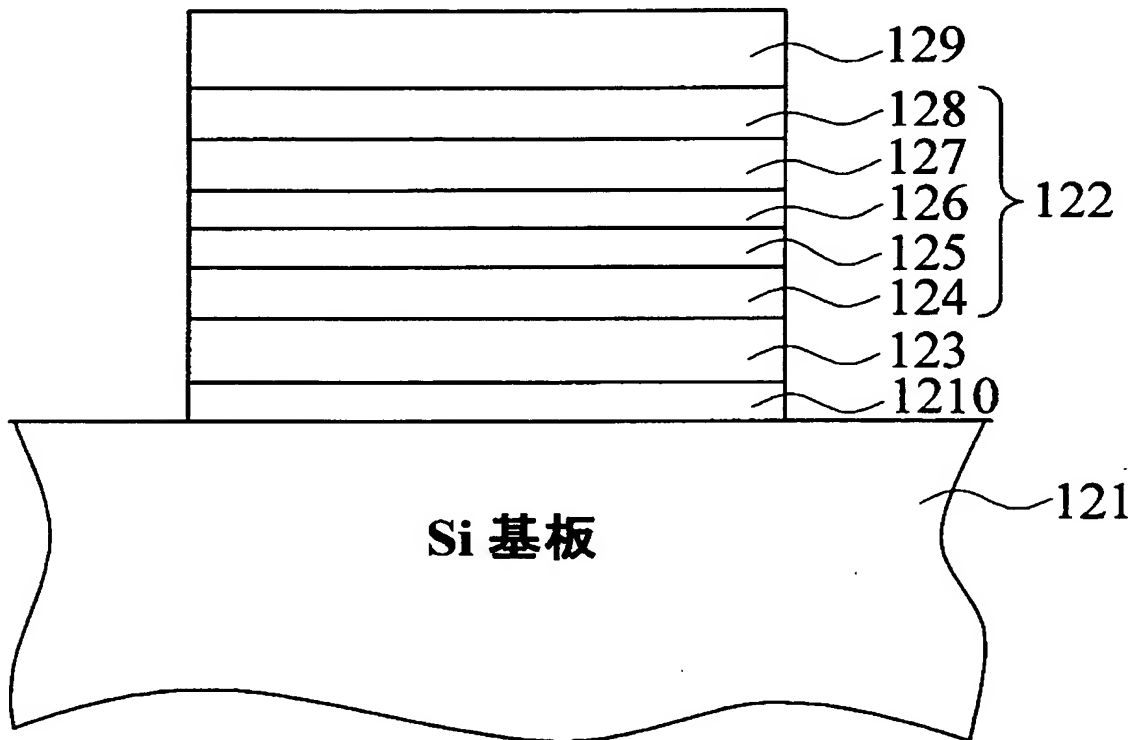
【図 19】



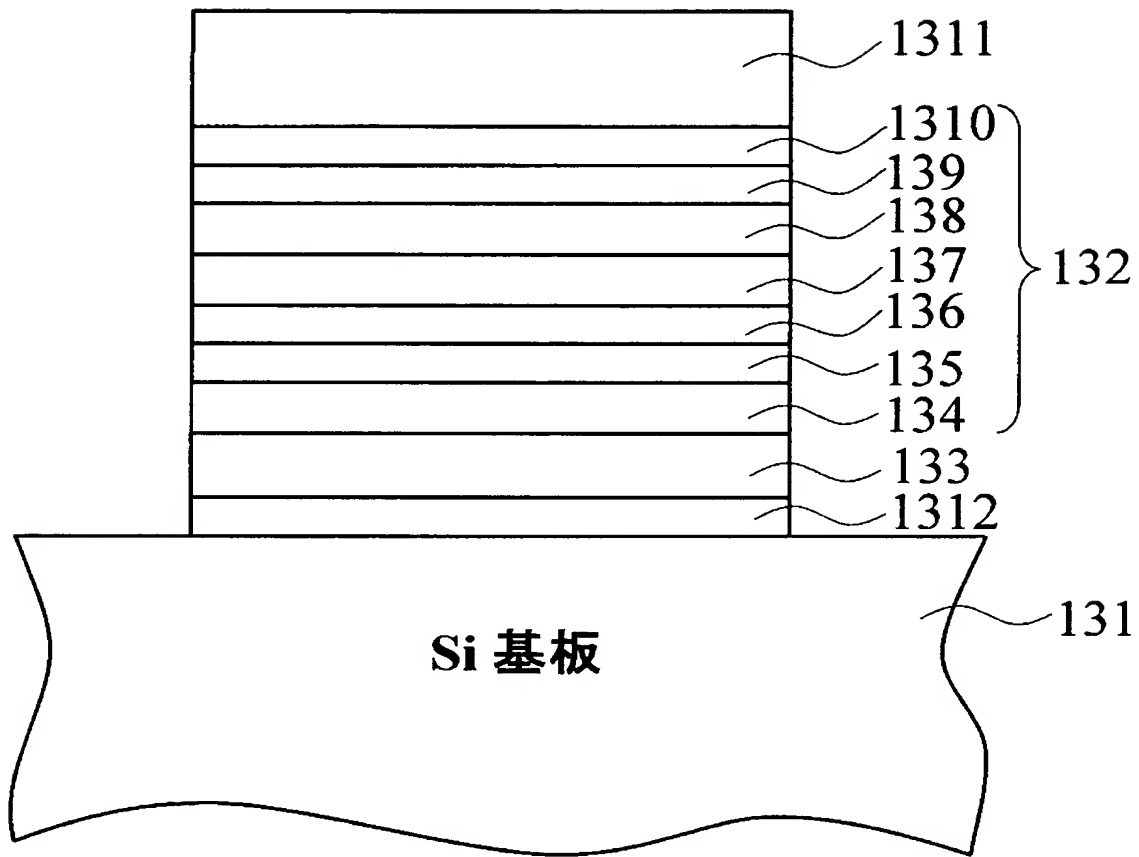
【図 20】



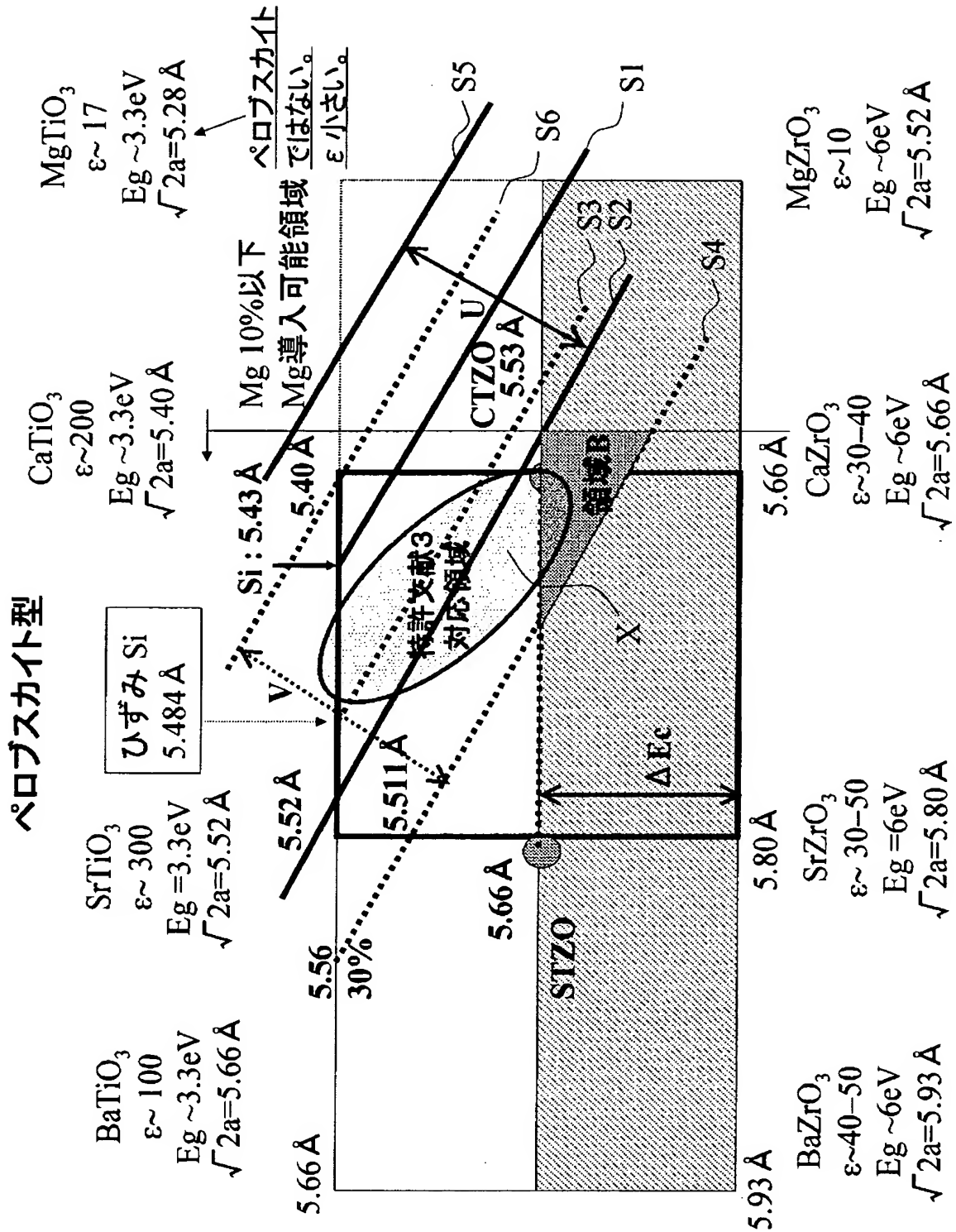
【図 21】



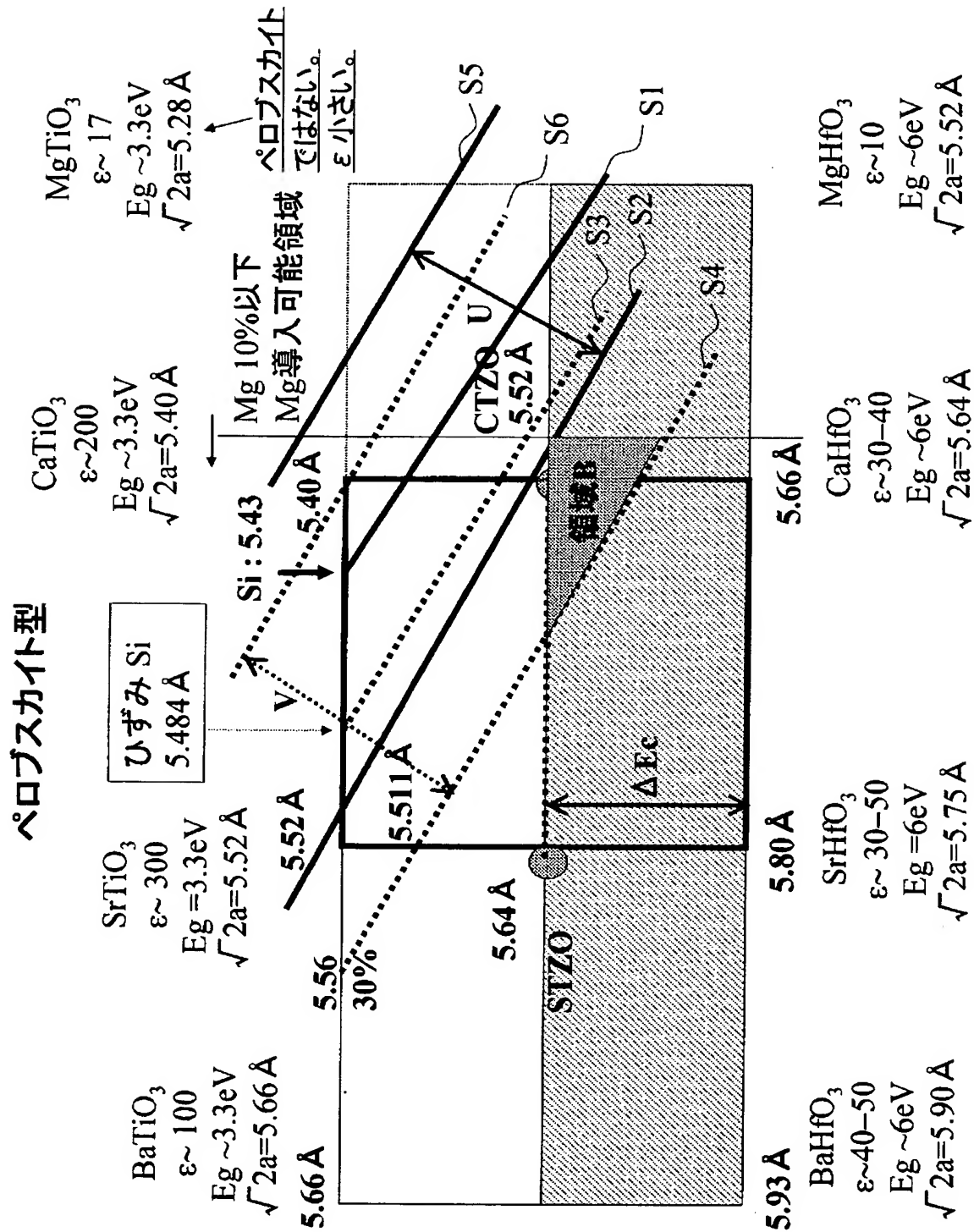
【図 22】



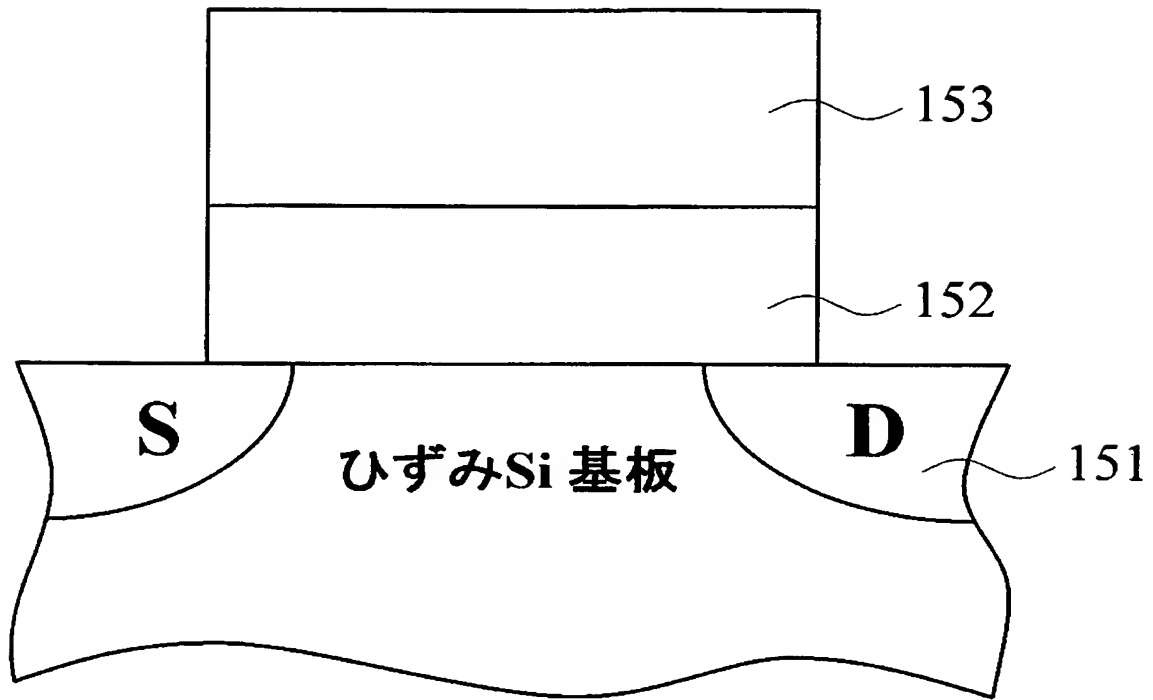
【図 23】



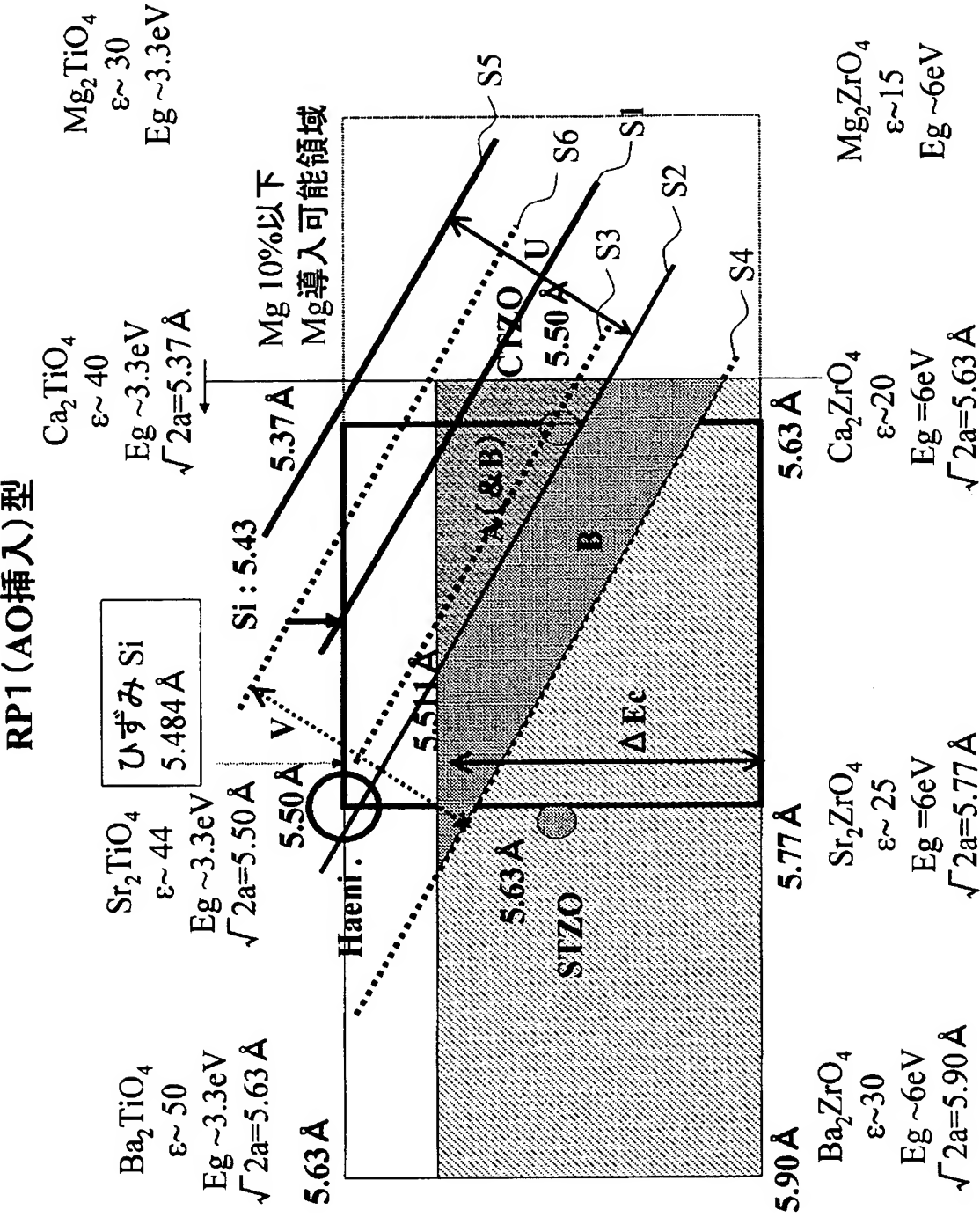
【図 24】



【図 25】

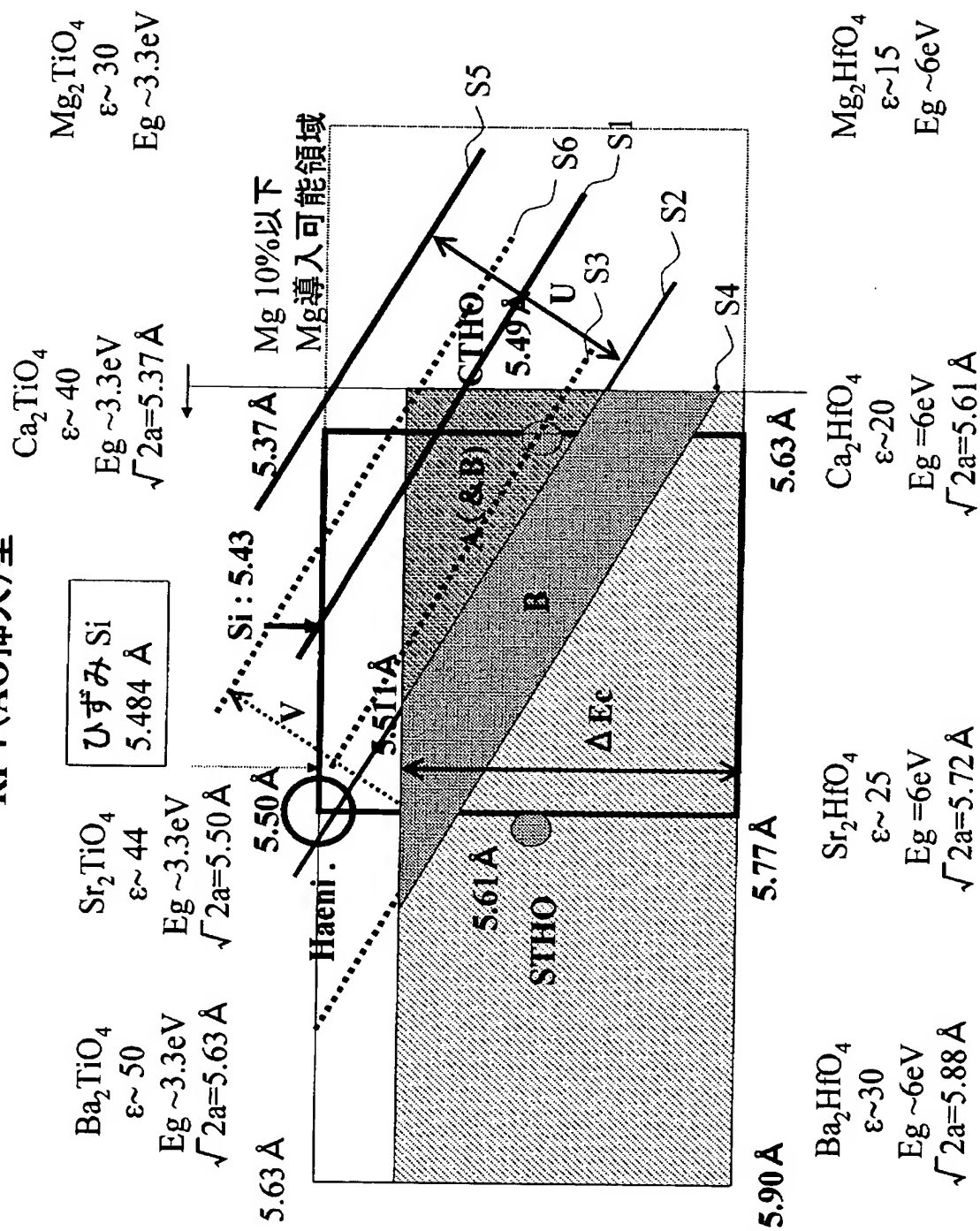


【図 26】

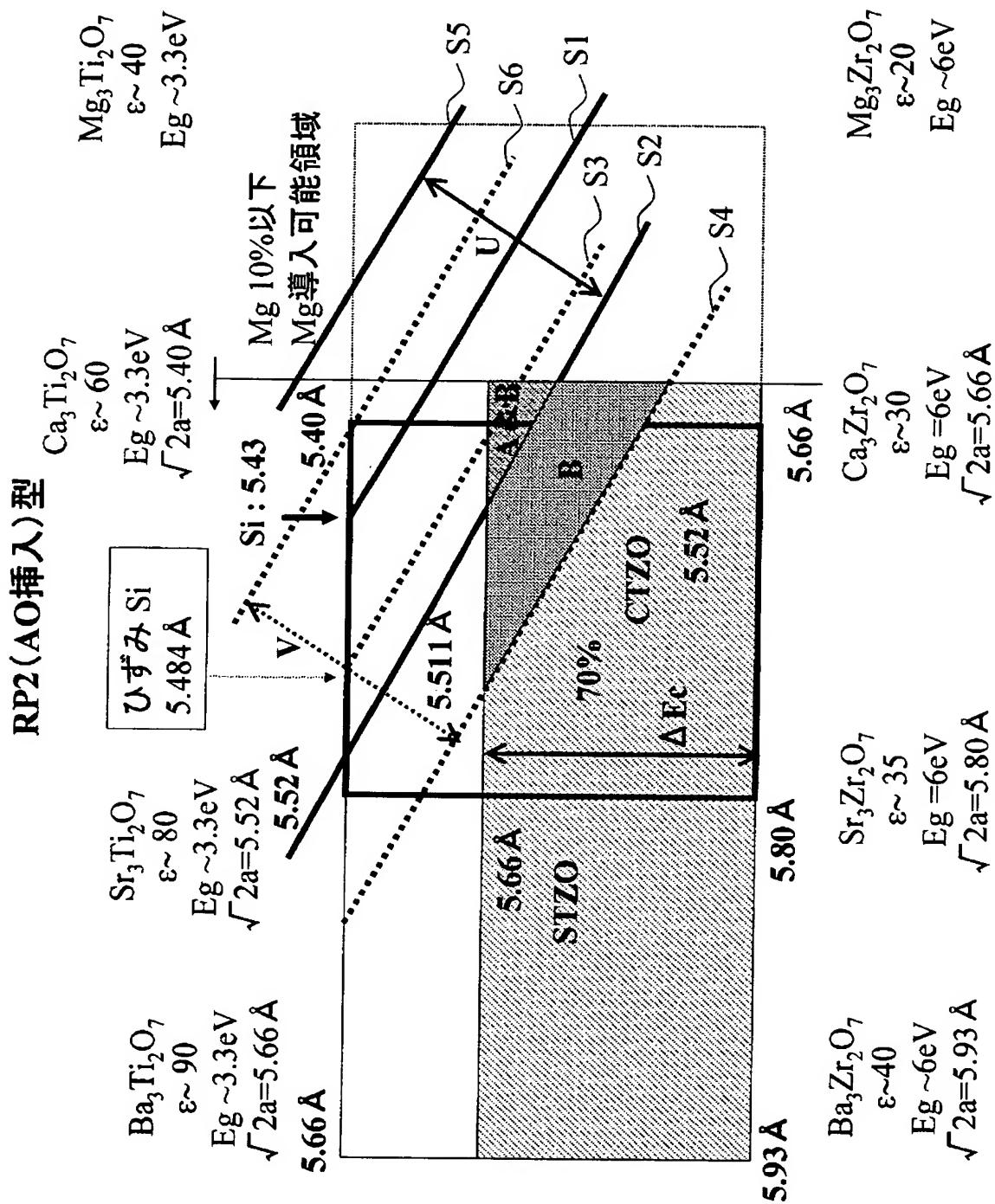


【図 27】

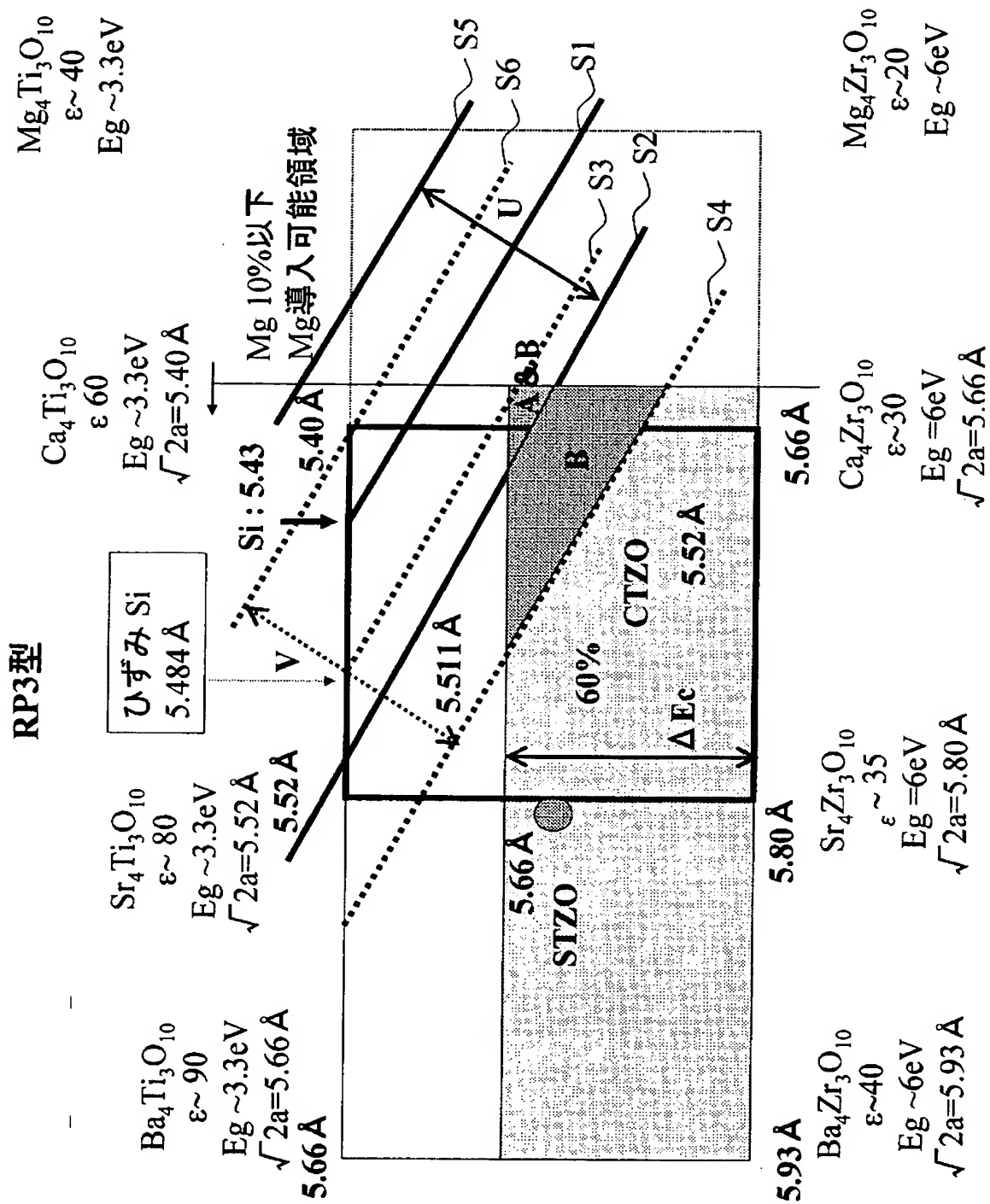
RP1 (AO挿入) 型



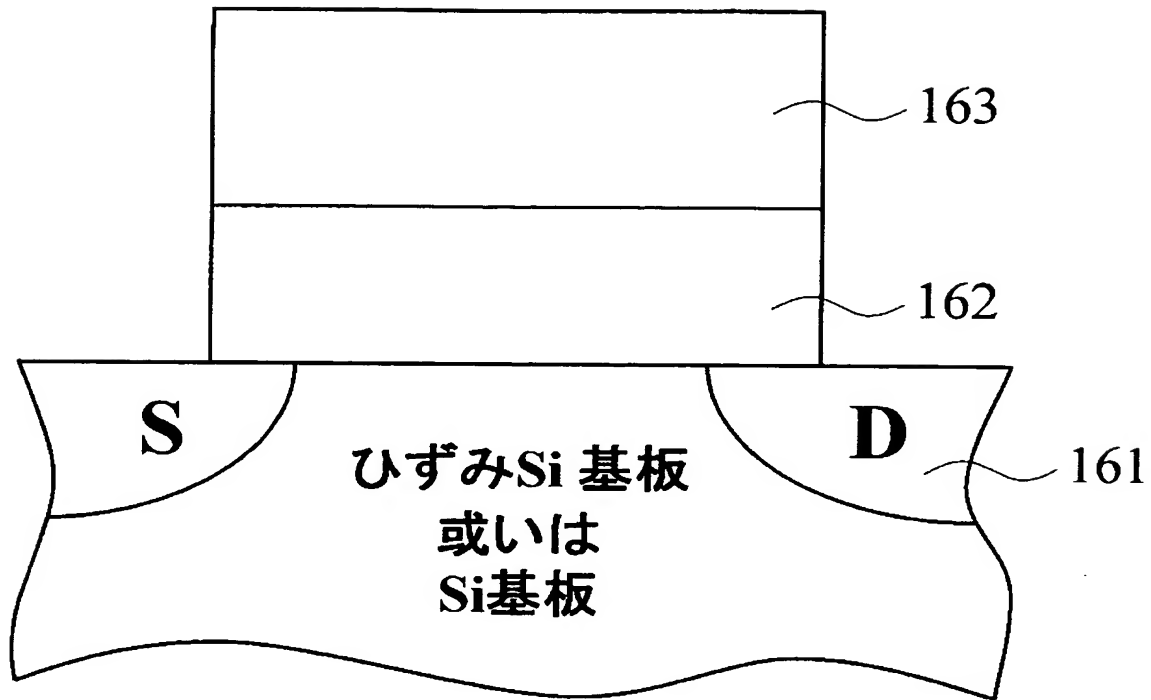
【図 28】



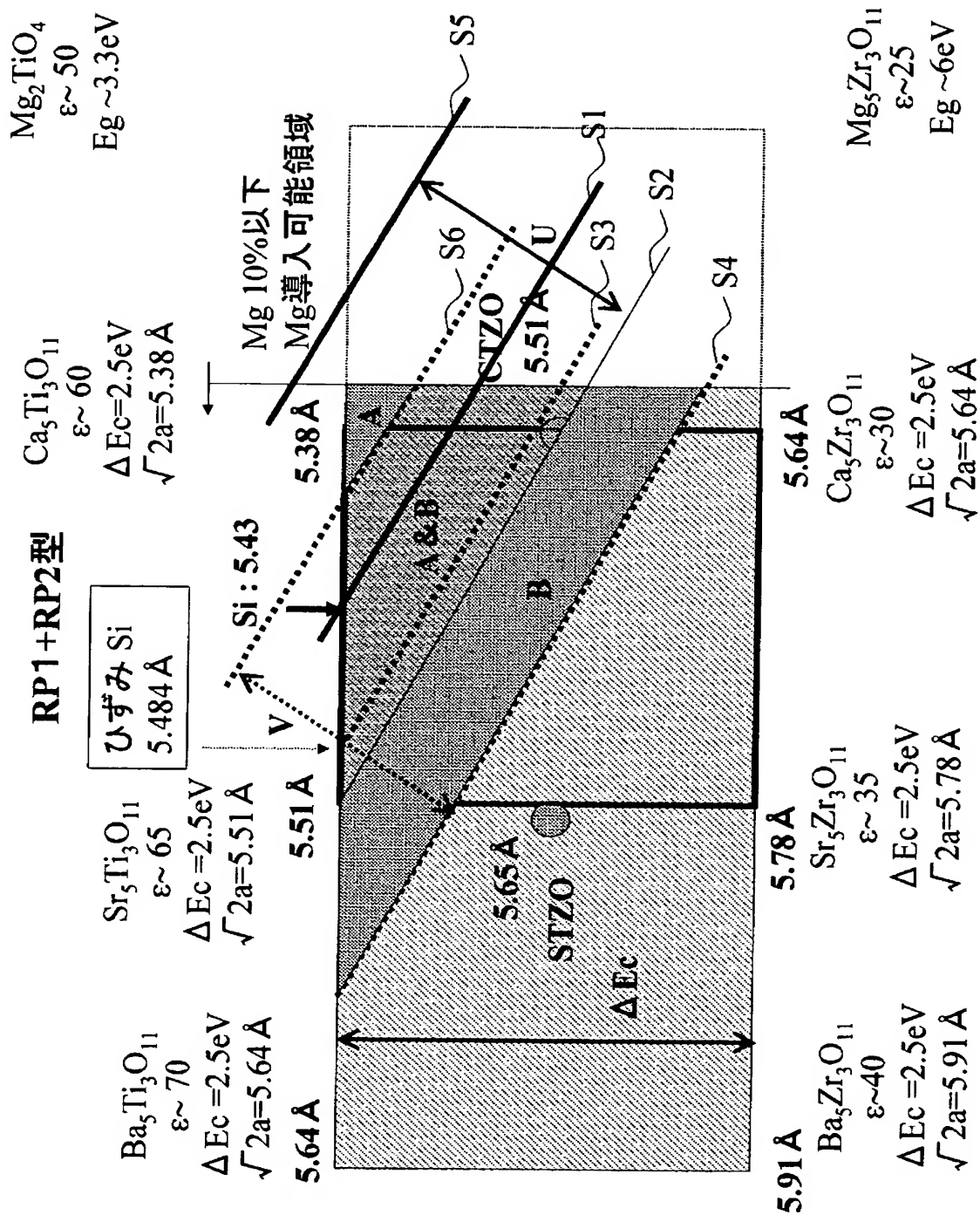
【図 29】



【図 31】

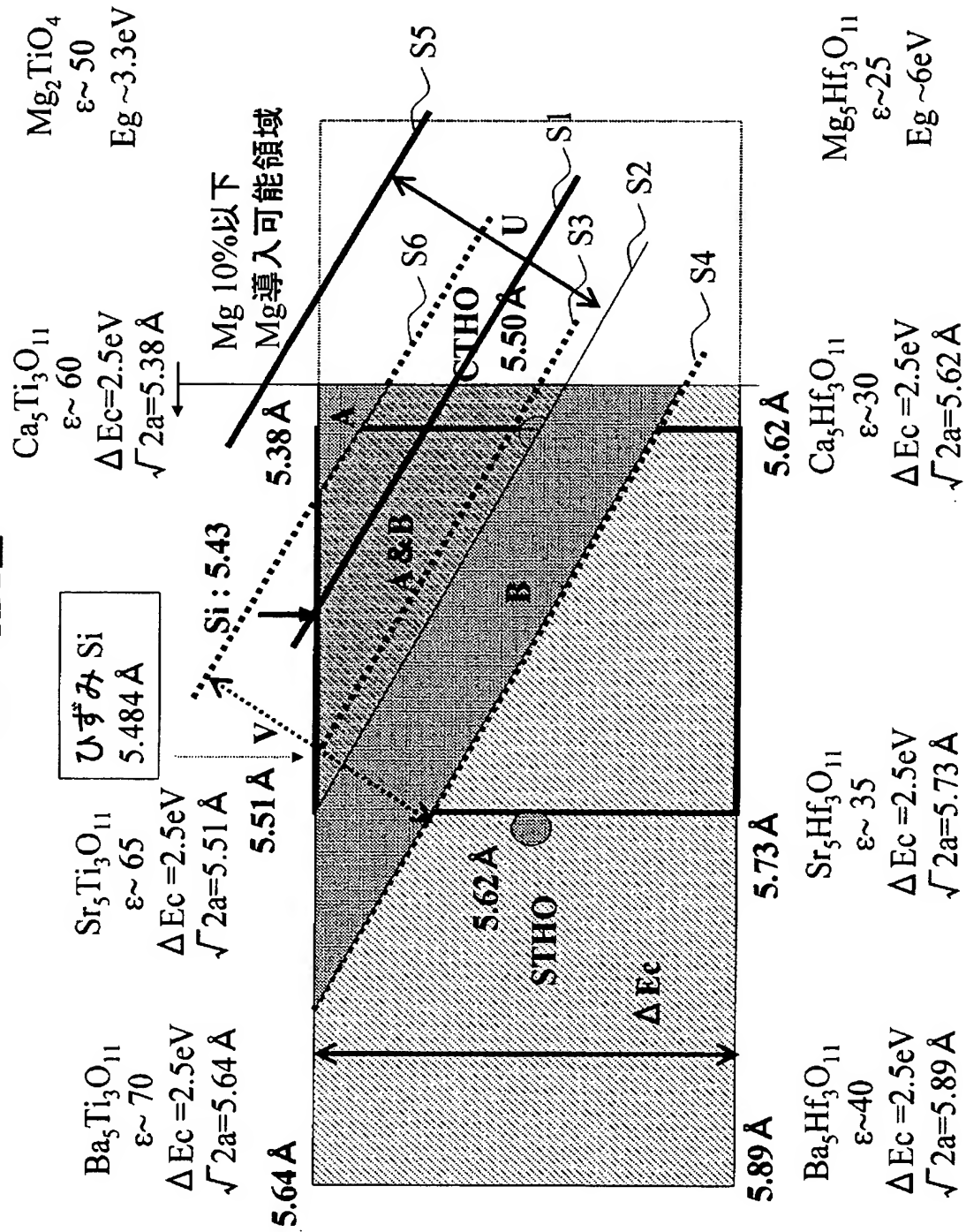


【図 32】

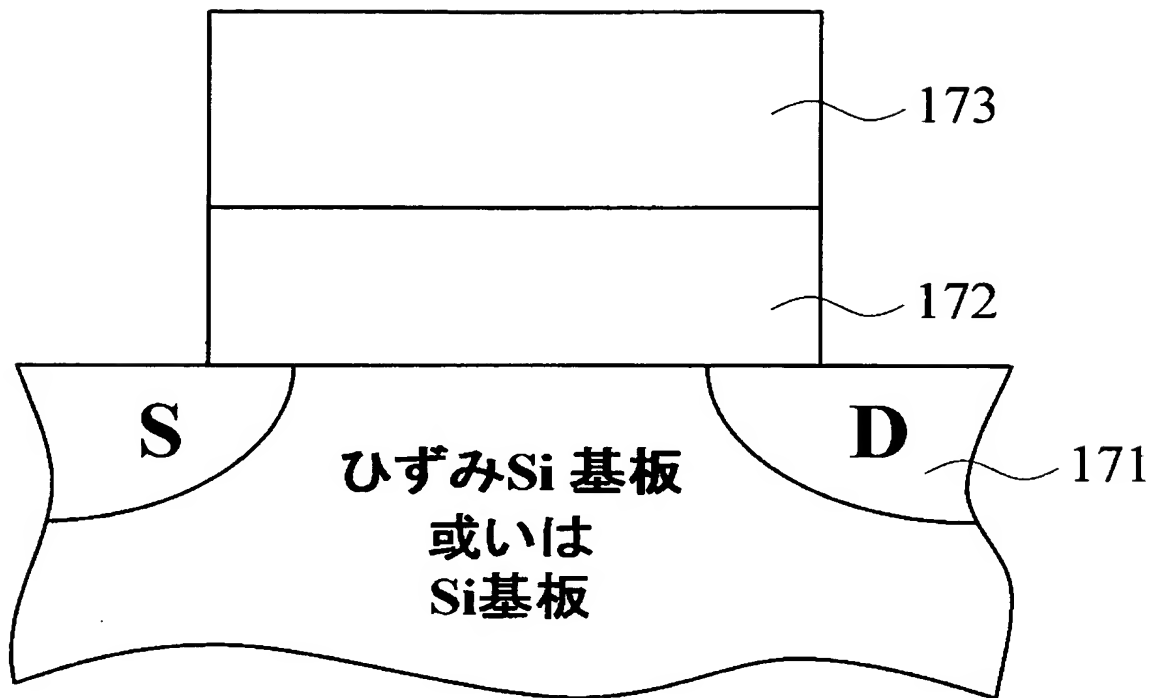


【図33】

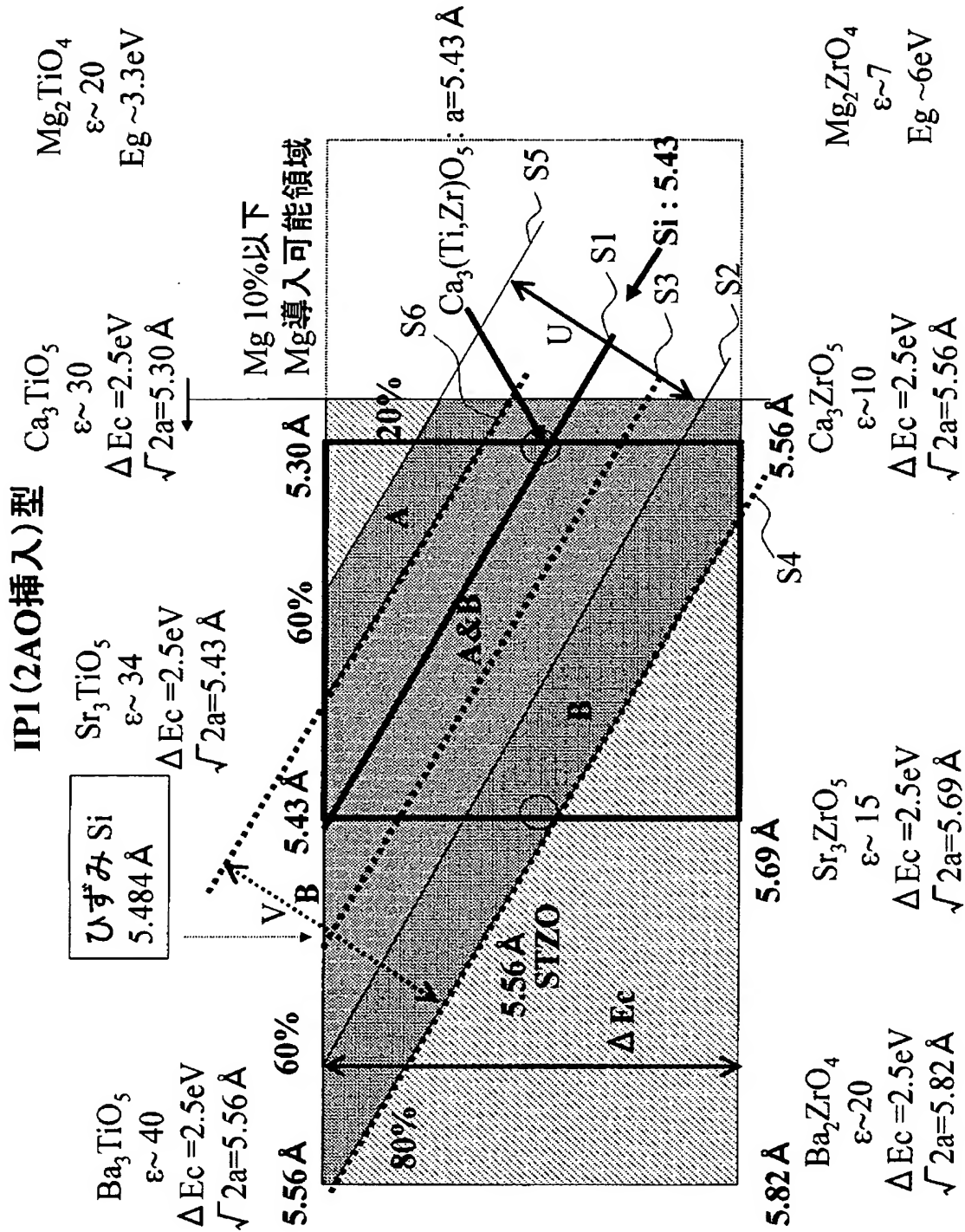
RP1+RP2型



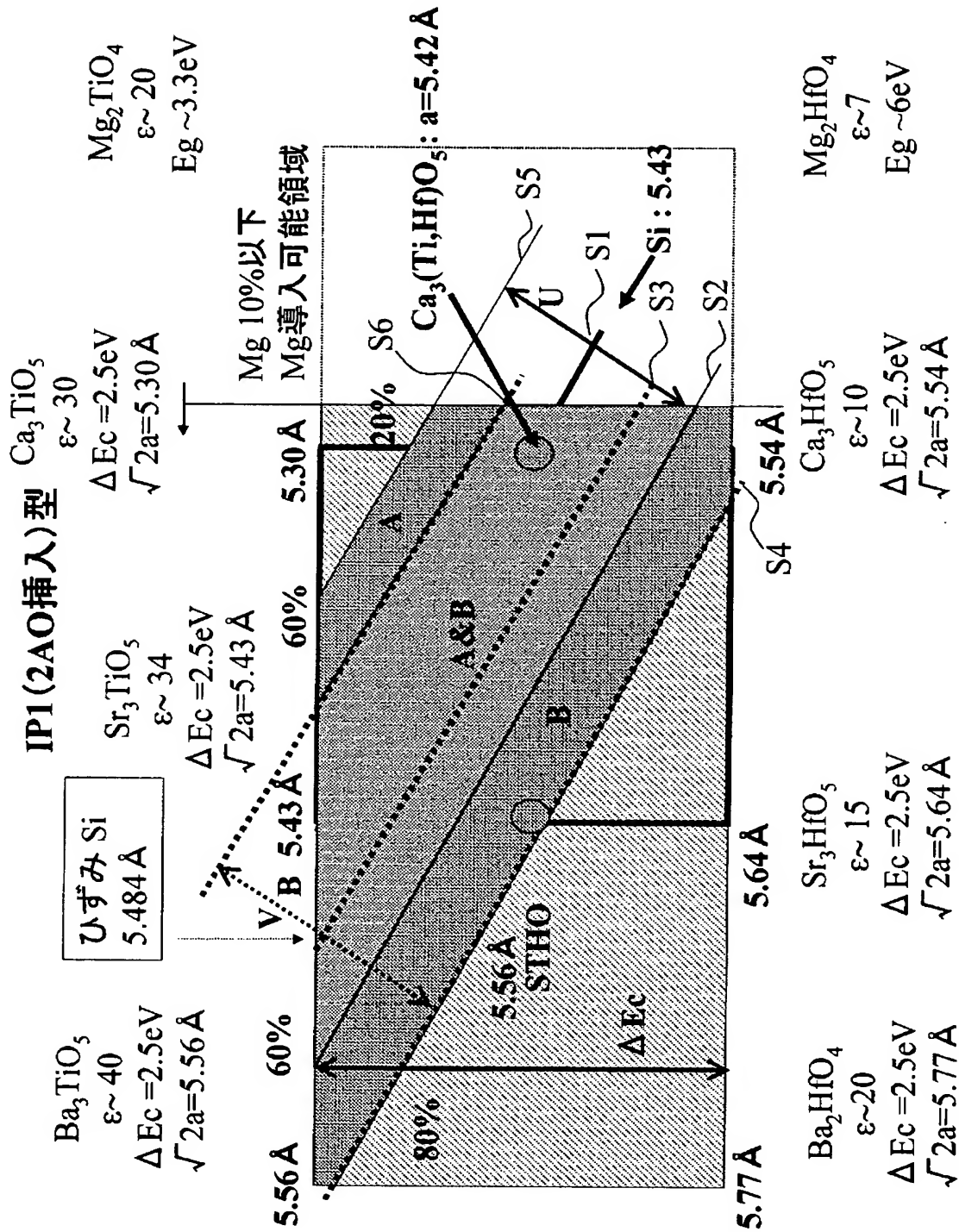
【図 34】



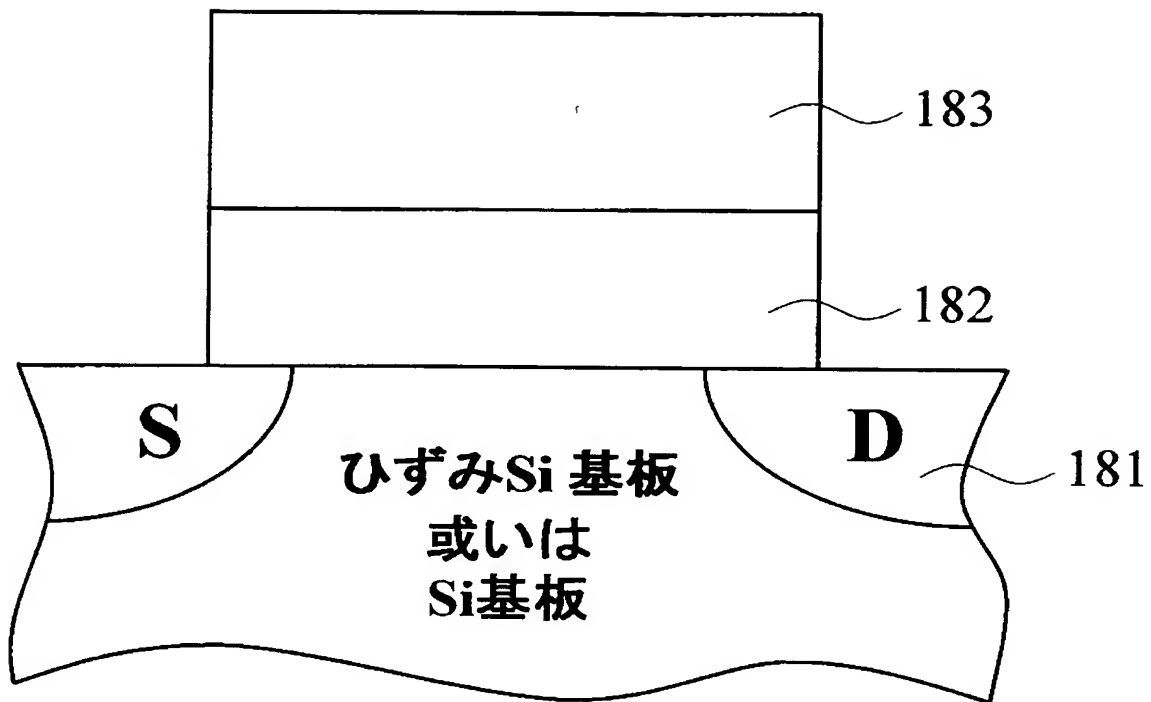
【図 35】



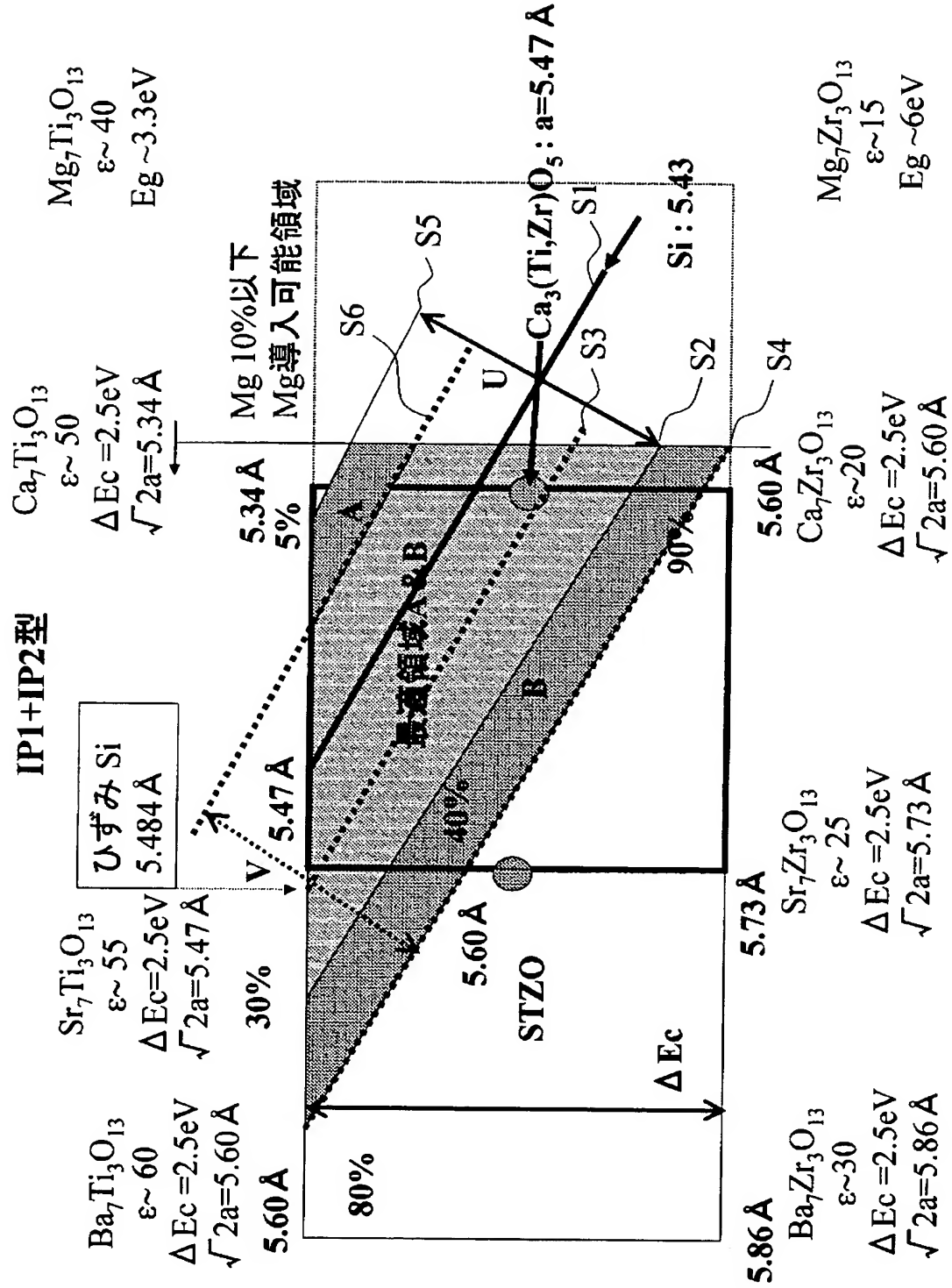
【図36】



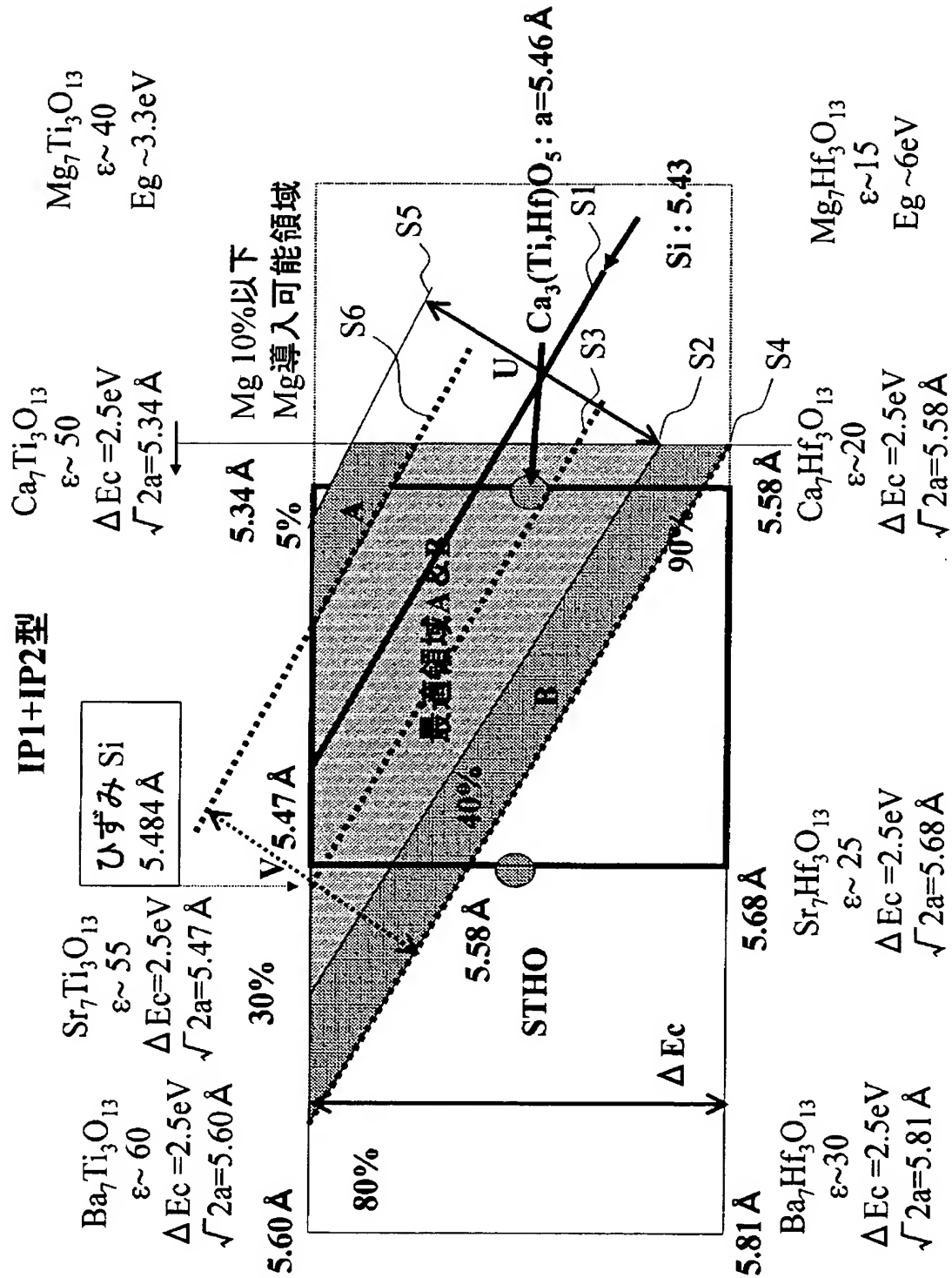
【図 37】



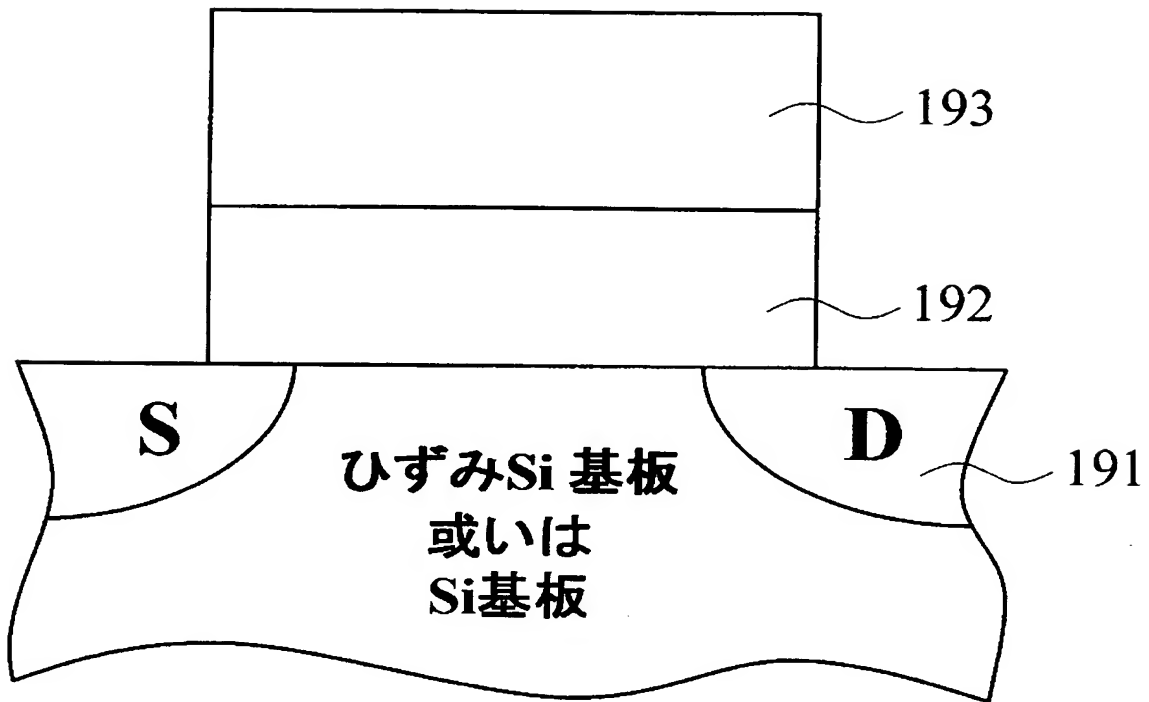
【図 38】



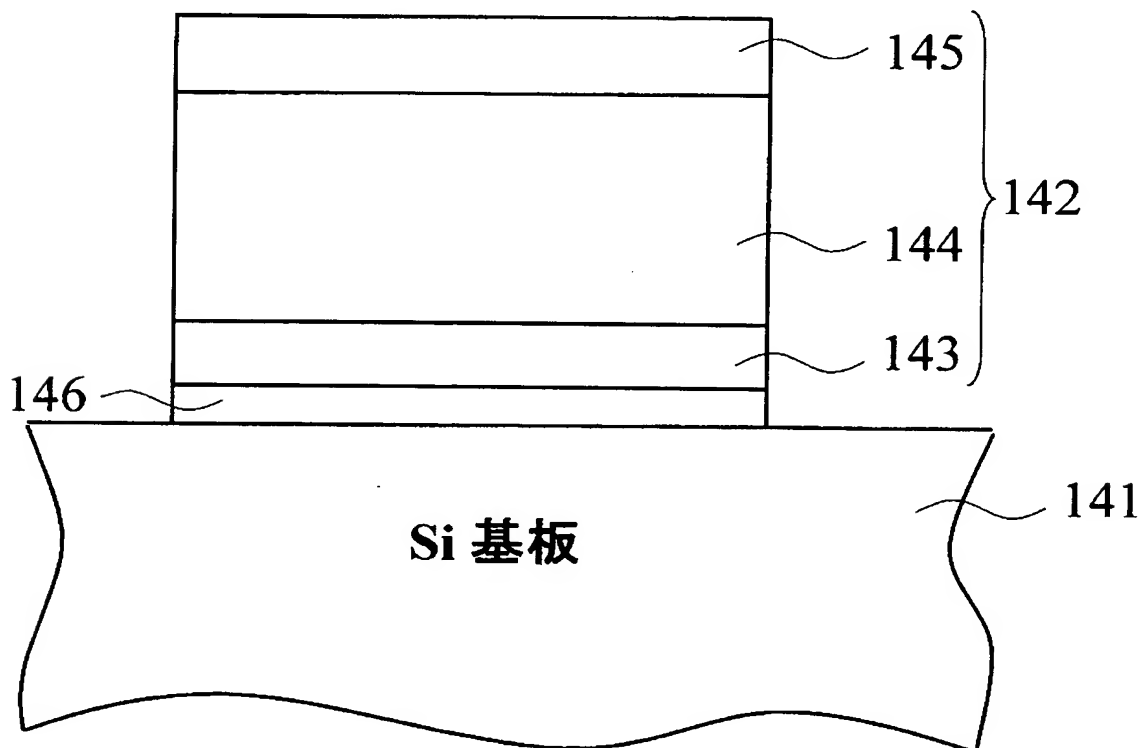
【図39】



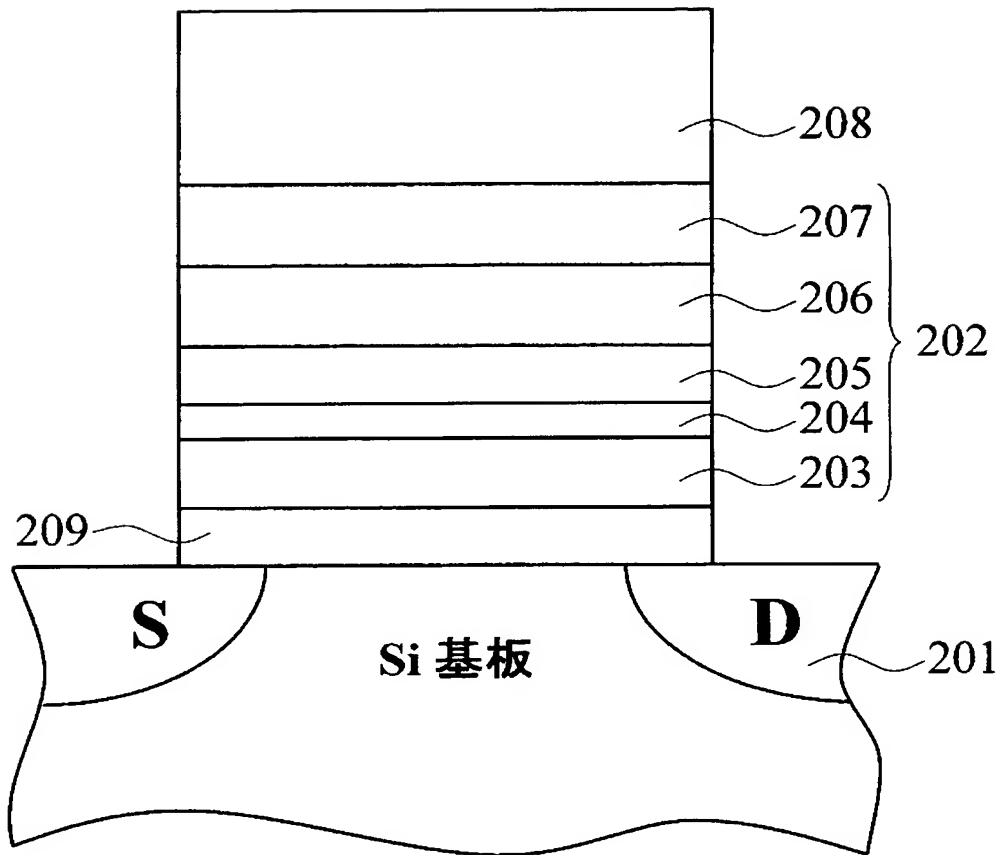
【図 40】



【図 41】



【図 4 2】



【書類名】 要約書

【要約】

【課題】 誘電率が高く、かつ、リーク電流の小さな絶縁膜及びこれを用いた電子素子を提供することを目的とする。

【解決手段】 高誘電率をもつがバリアーの低い物質を、誘電率は低いが高いバリアーを持ったもので挟んだ絶縁膜の量子井戸構造あるいは多重量子井戸構造を用いる。または、①格子定数を基板に対してプラスマイナス1.5%以内にする、②障壁高さが高いこと、③誘電率が高いこと、という3点の条件を満たす絶縁体を用いる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 9 7 8 0 8
受付番号	5 0 3 0 1 1 7 9 5 2 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 7 月 2 2 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

【代理人】

申請人

【識別番号】	100088487
【住所又は居所】	神奈川県横浜市西区楠町 2 7 - 9 横浜ウエスト ビル 3 0 1 号室 松山・日向寺国際特許事務所
【氏名又は名称】	松山 允之

【選任した代理人】

【識別番号】	100108062
【住所又は居所】	神奈川県横浜市西区楠町 2 7 - 9 横浜ウエスト ビル 3 0 1 号室 松山・日向寺国際特許事務所
【氏名又は名称】	日向寺 雅彦

特願 2 0 0 3 - 1 9 7 8 0 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝